

TLV5617A

带内部基准和掉电的 2.7 V 至 5.5 V 低功耗、双10位数/模转换器 (DAC)

一、概述

1.1 描述

TLV5617A 是带有灵活 3 线串行接口的双 10 位电压输出数/模转换器 (DAC)。串行接口可与 TMS320、SPI™、QSPI™ 和 Microwire™ 的串行端口兼容。它可用含有 4 个控制位和 10 个数据位的串行 16 位字符串编程。

电阻字符串的输出电压由一个 x2 增益轨对轨的输出缓冲器进行缓冲。该缓冲器以一个 AB 型 (Class-AB) 输出级来改善稳定性并减少稳定时间。DAC 的可编程的稳定时间允许设计者使速度和功耗之间的对比达到最优化。器件以 CMOS 为处理器，在 2.7 V 至 5.5 V 的单端电源电压下工作。在标准商业和工业温度范围内，器件的封装为 8 引脚 SOIC 封装。

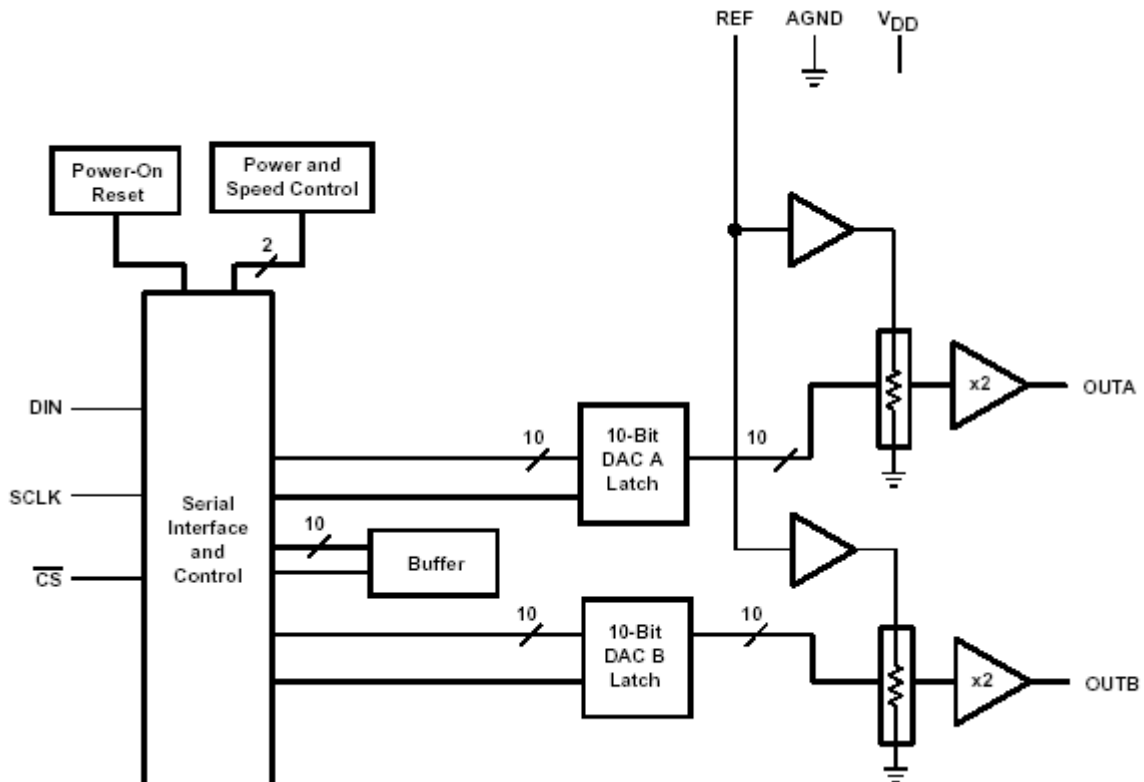
1.2 特点

- 双10位电压输出数/模转换器 (DAC)
- 可编程的内部基准
- 可编程的稳定时间
 - 快速方式：2.5 μs
 - 慢速方式：12 μs
- 可与 TMS320 和 SPI™ 串行端口兼容
- 差分非线性 < 0.2 LSB (典型值)

1.3 应用范围

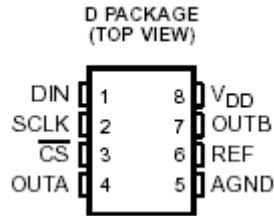
- 数据伺服系统控制回路
- 数据偏置和增益调节器
- 工业处理控制
- 机械和运作控制器件
- 海量存储器

1.4 功能方框图



1. 5 引脚排列及说明

引脚排列如下图：



引脚说明如下表：

引脚		I/O/P	说明
名称	编号		
AGND	5	P	地
\overline{CS}	3	I	片选端。它是一个数据输入端处于有效低电平，用于使能/禁止输入。
DIN	1	I	数字串行数据输入端
OUTA	4	O	DAC A 模拟电压输出端
OUTB	7	O	DAC B 模拟电压输出端
REF	6	I	模拟基准电压输入端
SCLK	2	I	数字串行时钟输入端
V_{DD}	8	P	正电源电压

1. 6 可供选项

T_A	PACKAGE
	SOIC (D)
0°C to 70°C	TLV5617ACD
-40°C to 85°C	TLV5617AID

二、特性

2. 1 工作温度范围内（自然通风）的极限参数（除非另有说明）

电源电压 (V_{DD} 相对于地)	7V
基准输入电压范围	-0.3 V至 $V_{DD} + 0.3$ V
数字输入电压范围	-0.3 V至 $V_{DD} + 0.3$ V
自然通风条件下工作温度范围, T_A : TLV5617AC	0°C至70°C
TLV5617AI	-40°C至85°C
贮存温度范围, T_{stg}	-65°C至150°C
引线温度, 离外壳1,6 mm (1/16英寸), 10秒	260°C

*注：强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

2. 2 推荐工作条件

		MIN	NOM	MAX	UNIT
Supply voltage, V _{DD}	V _{DD} = 5 V	4.5	5	5.5	V
	V _{DD} = 3 V	2.7	3	3.3	
Power on reset, POR		0.55		2	V
High-level digital input voltage, V _{IH}	V _{DD} = 2.7 V to 5.5 V	2			V
Low-level digital input voltage, V _{IL}	V _{DD} = 2.7 V to 5.5 V			0.8	V
Reference voltage, V _{ref} to REF terminal	V _{DD} = 5 V (see Note 1)	AGND	2.048	V _{DD} -1.5	V
Reference voltage, V _{ref} to REF terminal	V _{DD} = 3 V (see Note 1)	AGND	1.024	V _{DD} -1.5	V
Load resistance, R _L		2			kΩ
Load capacitance, C _L				100	pF
Clock frequency, f _{CLK}				20	MHz
Operating free-air temperature, T _A	TLV5617AC	0		70	°C
	TLV5617AI	-40		85	

注：（1）由于 x2 输出缓冲器，大于或等于(V_{DD}-0.4 V)/2 的基准输入电压会导致转换函数的削减。

2. 3 推荐工作条件范围内的电特性（除非另有说明）

2. 3. 1 电源电压

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
I _{DD}	Power supply current	No load, All inputs = AGND or V _{DD} , DAC latch = 0x800	Fast		1.7	2.5	mA
			Slow		0.7	1	
Power down supply current					1		μA
PSRR	Power supply rejection ratio	Zero scale, See Note 2			-65		dB
		Full scale, See Note 3			-65		

注：2、在零刻度时电源电压拒绝比可通过改变 V_{DD} 测得，并由下列公式计算：

$$PSRR = 20 \log [(E_{ZS}(V_{DDmax}) - E_{ZS}(V_{DDmin})/V_{DDmax})]$$

3、在满刻度时电源电压拒绝比可通过改变 V_{DD} 测得，并由下列公式计算：

$$PSRR = 20 \log [(E_G(V_{DDmax}) - E_G(V_{DDmin})/V_{DDmax})]$$

2. 3. 2 静态 DAC 规格

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
Resolution				10			bits
INL	Integral nonlinearity	See Note 4			±0.7	±1	LSB
DNL	Differential nonlinearity	See Note 5			±0.1	±1	LSB
E _{ZS}	Zero-scale error (offset error at zero scale)	See Note 6				±12	mV
E _{ZS TC}	Zero-scale-error temperature coefficient	See Note 7			10		ppm/°C
E _G	Gain error	See Note 8				±0.6	% full scale V
E _{G TC}	Gain-error temperature coefficient	See Note 9			10		ppm/°C

注：4、整体非线性（INL）的相对精确度有时也称为线性误差是指输出偏离线的最大值，该偏差在零刻度到全刻度之间，除开零码和全刻度误差的影响。

5、差分非线性（DNL），有时也称为差分误差是任何两个邻近码的测量所得的 1-LSB 幅度与理想的 1-LSB 幅度之间的差距。

6、零刻度误差是在数字输入码为0时，从0电压输出端的偏离。

7、零刻度误差温度系数由以下公式计算： $E_{ZS TC} = [E_{ZS}(T_{max}) - E_{ZS}(T_{min})]/2V_{ref} \times 10^6/(T_{max} - T_{min})$ 。

8、增益误差是在输出负载为10K Ω 时，与理想输出(2V_{ref} - 1 LSB)间的偏差。

9、增益温度系数由以下公式计算： $E_G TC = [E_G(T_{max}) - E_G(T_{min})]/2V_{ref} \times 10^6/(T_{max} - T_{min})$ 。

2. 3. 3 输出规格

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _O Output voltage range	R _L = 10 kΩ			V _{DD} -0.4	V
Output load regulation accuracy	V _O = 4.096 V, 2.048 V R _L = 2 kΩ			±0.29	% FS

2. 3. 4 基准输入

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _I Input voltage range		0		V _{DD} -1.5	V
R _I Input resistance			10		MΩ
C _I Input capacitance			5		pF
Reference input bandwidth	REF = 0.2 V _{pp} + 1.024 V dc	Fast	1.3		MHz
		Slow	525		kHz
Reference feedthrough	REF = 1 V _{pp} at 1 kHz + 1.024 V dc (see Note 10)		-80		dB

注：10、基准流入是在 DAC 输出且输入码=0x000 时测得的。

2. 3. 5 数字输入

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
I _{IH} High-level digital input current	V _I = V _{DD}			1	μA
I _{IL} Low-level digital input current	V _I = 0 V	-1			μA
C _i Input capacitance			8		pF

2. 3. 6 模拟输出动力性能

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _s (FS) Output settling time, full scale	R _L = 10 kΩ, C _L = 100 pF, See Note 11	Fast	2.5		μs
		Slow	12		
t _s (CC) Output settling time, code to code	R _L = 10 kΩ, C _L = 100 pF, See Note 12	Fast	1		μs
		Slow	2		
SR Slew rate	R _L = 10 kΩ, C _L = 100 pF, See Note 13	Fast	3		V/μs
		Slow	0.5		
Glitch energy	DIN = 0 to 1, FCLK = 100 kHz, CS = V _{DD}		5		nV-s
SNR Signal-to-noise ratio	f _s = 102 kSPS, f _{out} = 1 kHz, R _L = 10 kΩ, C _L = 100 pF		52	56	dB
SINAD Signal-to-noise + distortion			50	55	
THD Total harmonic distortion			-62	-52	
SFDR Spurious free dynamic range			52	64	

注：11、稳定时间是输出信号保持在最终测量所得值±0.5 LSB 内的时间。该最终测量值分别针对 0x020 至 0xFDC 和 0xFDC 至 0x020 的输入码变化。该参数未经测试，由设计保证。

12、稳定时间是输出信号保持在最终测量所得值±0.5 LSB 内的时间。该最终测量值针对一次计数的数字输入码变化。该参数未经测试，由设计保证。

13、转换率决定 DAC 输出端从全额电压的 10% 到 90% 间的变化需用的时间。

2. 3. 7 数字输入时序要求

	MIN	NOM	MAX	UNIT
t _{su} (CS-CK) Setup time, CS low before first negative SCLK edge	5			ns
t _{su} (C16-CS) Setup time, 16 th negative SCLK edge before CS rising edge	10			ns
t _{WH} SCLK pulse width high	25			ns
t _{WL} SCLK pulse width low	25			ns
t _{su} (D) Setup time, data ready before SCLK falling edge	5			ns
t _H (D) Hold time, data held valid after SCLK falling edge	5			ns

2. 4 时序要求

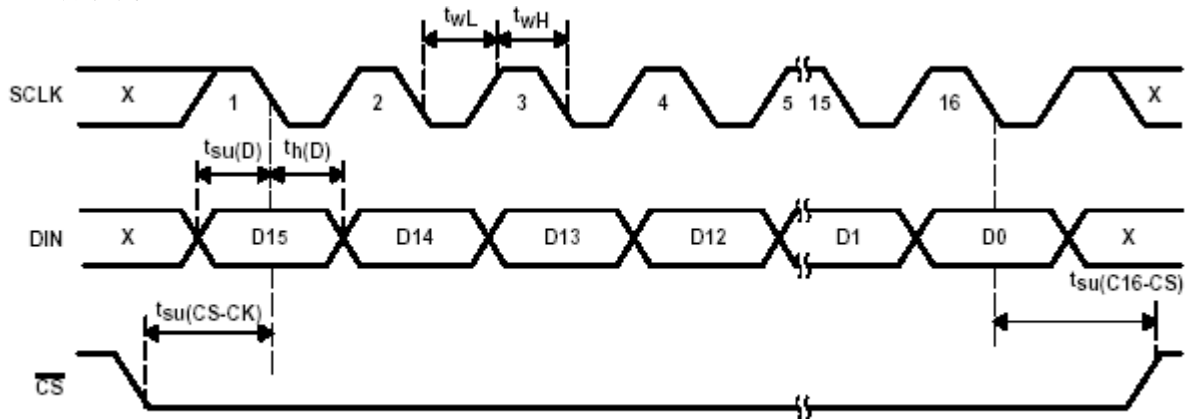


Figure 1. Timing Diagram

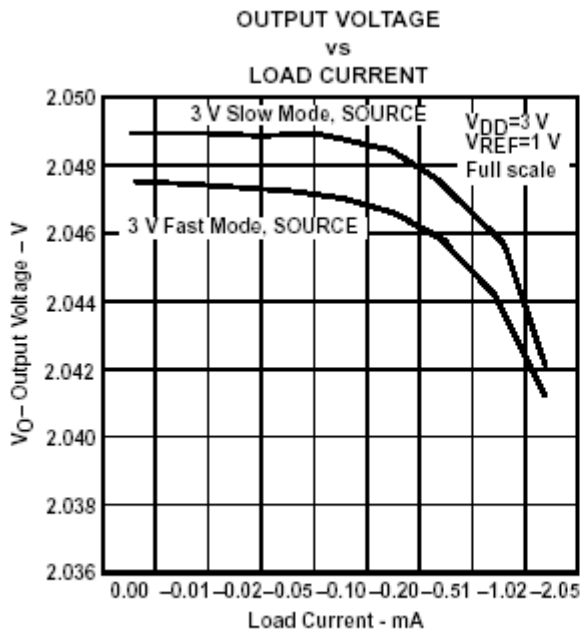


Figure 2

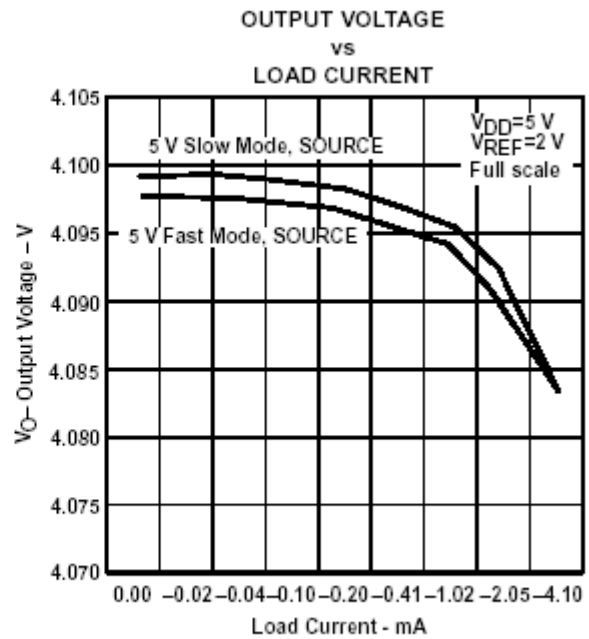


Figure 3

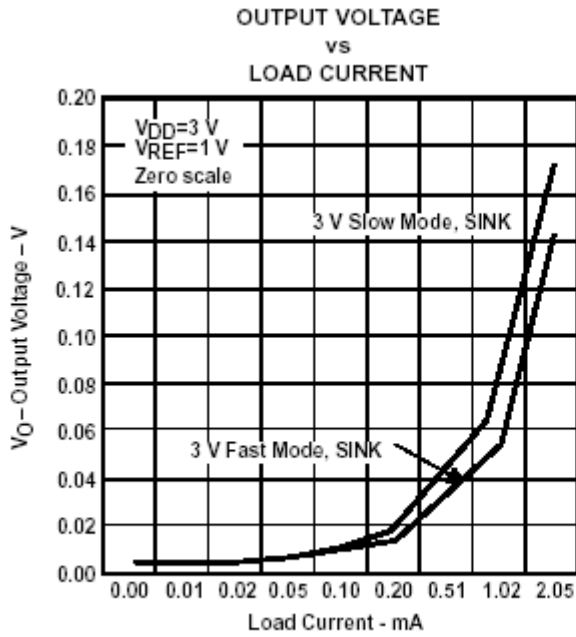


Figure 4

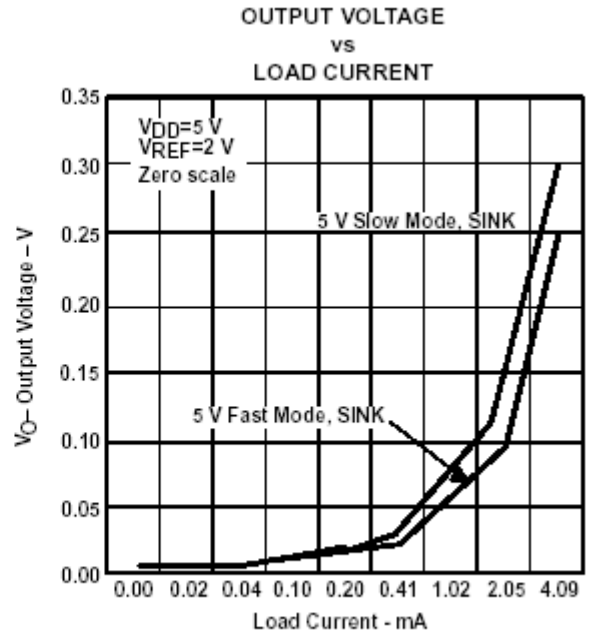


Figure 5

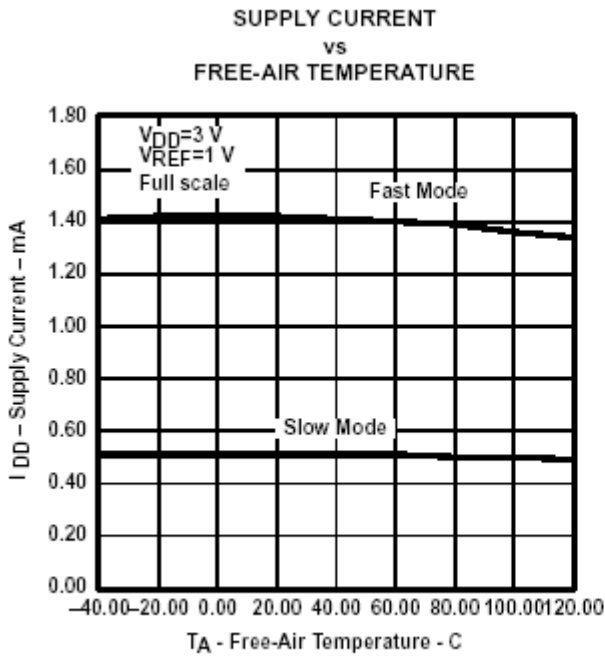


Figure 6

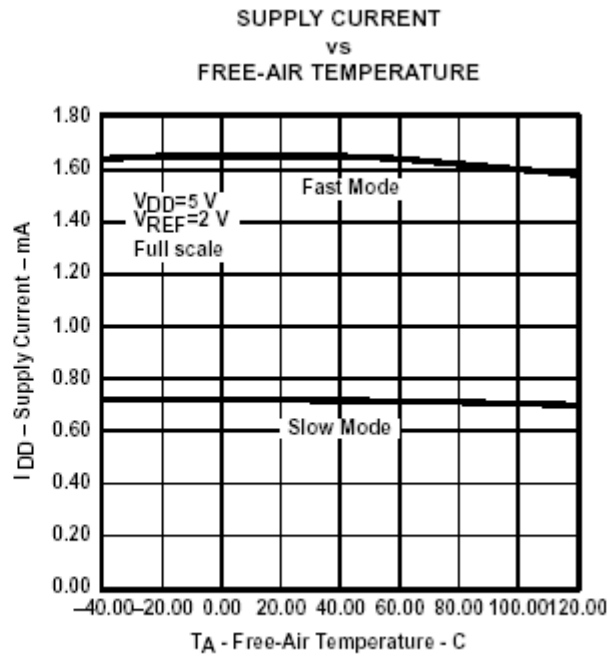


Figure 7

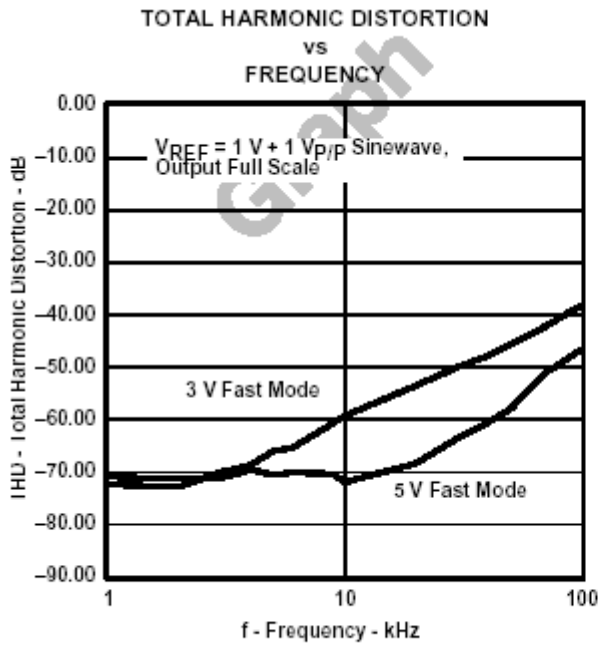


Figure 8

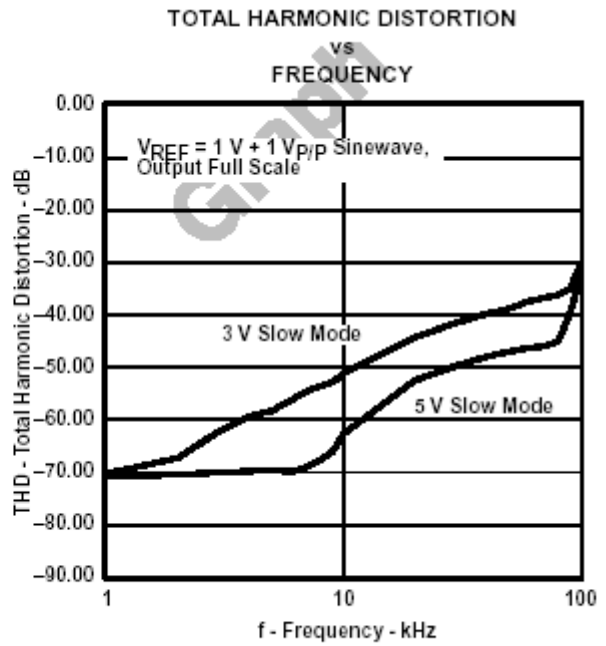


Figure 9

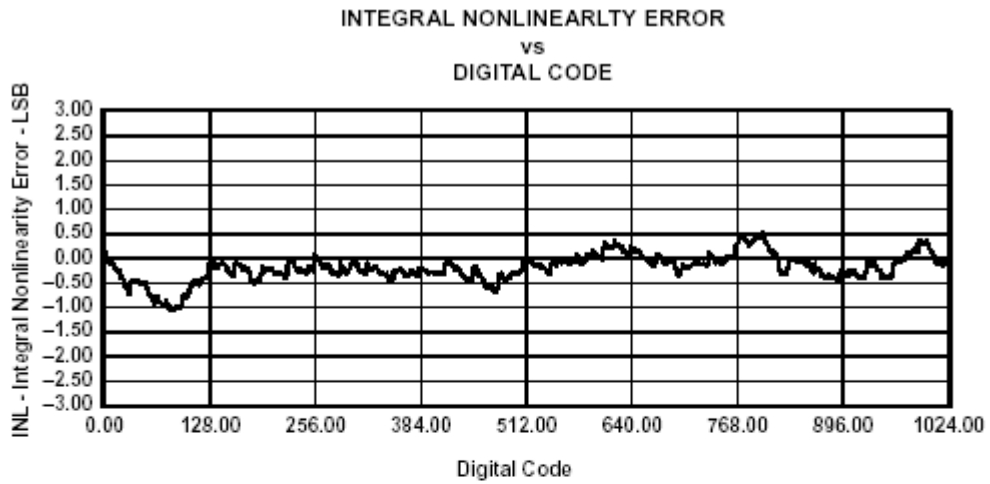


Figure 10

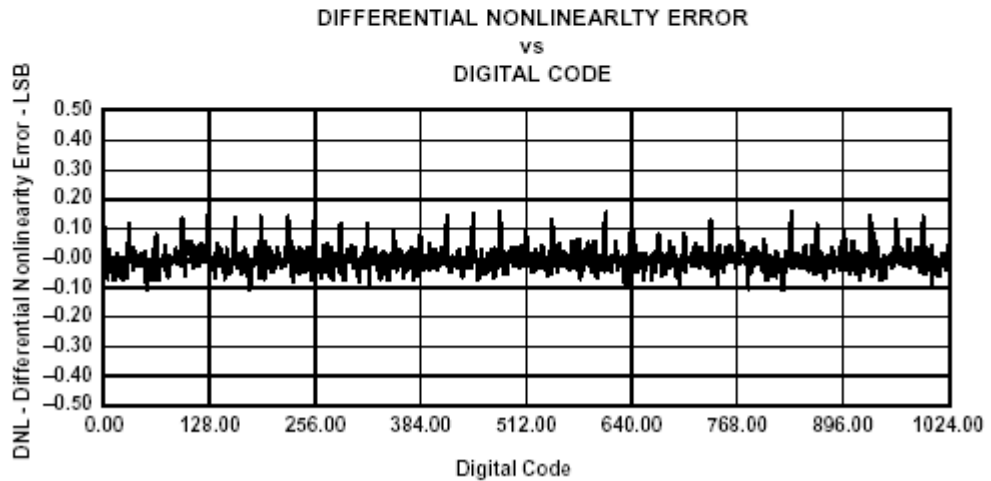


Figure 11

三、应用信息

3.1 一般功能

TLV5617A 是一个基于串联电阻结构的双 10 位单电源的 DAC。它由一个串行接口、一个速度和掉电控制逻辑、一个电阻字符串和一个轨对轨的输出缓冲器组成。输出电压（全额度由内部基准决定）由以下公式给出：

$$2 \text{ REF} \frac{\text{CODE}}{0 \times 1000} [\text{V}]$$

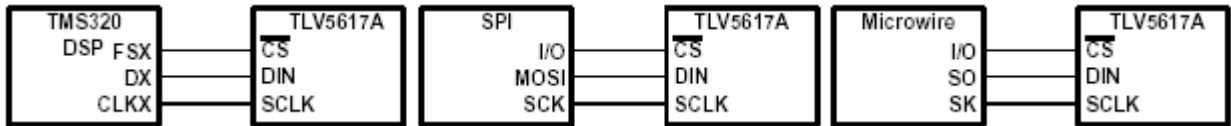
其中，REF 是电压基准，CODE 是在 0x000 至 0xFFC 范围内的数字输入值。一次上电复位初始化内部锁存至置位状态（所有位均为 0）。

3.2 串行接口

$\overline{\text{CS}}$ 引脚的下降沿开始将数据一位接一位（从最高有效位开始）转移到在 SCLK 引脚的下降沿上的内部寄存器中。在 16 位数据传送完或 $\overline{\text{CS}}$ 上升时，转移寄存器的内容被移入目标锁存（DAC A、DAC B、缓冲器或控制）中，这取决于数据字中的控制位。

图 12 展示了如何将 TLV5617A 连接到 TMS320、SPI™ 和 Microwire™ 的实例。

图12 3线接口



关于 SPI™ 和 Microwire™ 的注释：在控制器开始传送数据之前，必须用软件在连接到 $\overline{\text{CS}}$ 的引脚上产生一个下降沿。如果是 8 位字宽（SPI™ 和 Microwire™），则必须进行两次写操作才能对 TLV5617A 进行编程。在写操作进行之后，保持寄存器或控制寄存器在第 16 个正时钟边沿被自动更新。

3.3 串行时钟频率和更新率

最大串行时钟频率由以下公式计算出：

$$f_{\text{sclkmax}} = \frac{1}{t_{\text{whmin}} + t_{\text{wlmin}}} = 20 \text{ MHz}$$

最大更新率为：

$$f_{\text{updatemax}} = \frac{1}{16 (t_{\text{whmin}} + t_{\text{wlmin}})} = 1.25 \text{ MHz}$$

注意串行接口的最大更新率只是理论上的值，还应考虑 TLV5617A 的稳定时间。

3.4 数据格式

TLV5617A 的 16 位数据字由两部分组成：

- 编程位（D15..D12）
- 新数据（D11..D0）

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0			
R1	SPD	PWR	R0	MSB												LSB	0	0

SPD：速度控制位 1→快速方式 0→慢速方式

PWR：功率控制位 1→掉电 0→正常工作

在上电时，SPD 和 PWD 都被复位为 0（慢速方式和正常工作）

下表列出了寄存器和选择位之间所有可能的组合。

寄存器-选择位

R1	R0	REGISTER
0	0	Write data to DAC B and BUFFER
0	1	Write data to BUFFER
1	0	Write data to DAC A and update DAC B with BUFFER content
1	1	Reserved

12 个数据位的含意取决于寄存器。如果选定 DAC 寄存器的一个或选定缓冲器，则这 12 个数据位决定新的 DAC 值：

工作实例：

- 设置 DAC A 输出端，选择快速方式：

写新的 DAC A 值并更新 DAC A 的输出：

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1	1	0	0	New DAC A output value										0	0

DAC A 的输出端在 D0 被取样后的上升时钟沿更新。

- 设置 DAC B 的输出端，选择快速方式：

写新的 DAC B 值到缓冲器并更新 DAC B 的输出：

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	0	New BUFFER content and DAC B output value										0	0

DAC A 的输出端在 D0 被取样后的上升时钟沿更新。

- 设置 DAC A 的值、设置 DAC B 的值，并同时更新这两个值，选择慢速方式：

1、为 DAC B 写数据至缓冲器

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	1	New DAC B value										0	0

2、写新的 DAC A 值并同时更新 DAC A 和 B。

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	New DAC A value										0	0

在对 DAC A 数据字的 D0 抽样后两个输出端都在上升时钟沿被更新。

- 设置掉电方式：

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	1	X	X	X	X	X	X	X	X	X	X	X	X	X

X=不必关心。

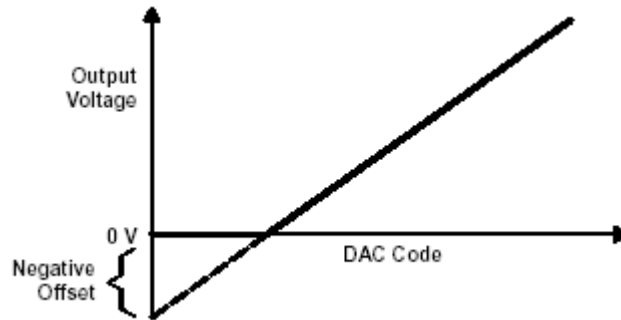
3. 5 使用单端电源的线性、偏置和增益误差

当放大器在单端电源下工作时，电压偏置可能是正的也可能是负的。在偏置为正时，输出电压在第一个代码改变时即发生变化。在偏置为负时，输出电压可能不会随第一个代码改变，这取决于偏置电压的数量级。

输出放大器试图驱动输出端至一个负电压。但是，因为大多数负电源轨（supply rail）是地，而输出端不能驱动低于地的电压，所以将输出电压箝位在 0V。

输出电压则保持在 0V 直到输入码值产生一个足够的正输出电压高于负偏置电压，随后函数的转换见图 13。

图13 负偏置的影响（单端电源）



偏置误差而不是线性误差产生该断点。假如输出缓冲器可以驱动地轨以下的电压，则函数的转换应如图中的虚线所示。

对一个 DAC 而言，线性应在偏置发生后，在零输入码（全部输入 0）和全额码（全部输入 1）之间测量，并且全额可用某种方式调整或计算。然而，当偏置为负时由于转换函数中的断点，所以单端电源工作不允许调整。因此，线性在全额码和最低码之间被测得，最低码产生一具负输出电压。

3.6 相关规格和术语的定义

整体非线性（INL）

相对精度或整体非线性（INL）有时也称为线性误差是指输出从线偏离的最大值，该偏差在零刻度到全刻度之间，除零码和全刻度误差的影响以外。

差分非线性（DNL）

差分非线性（DNL），有时也称为差分误差是任何两个邻近码的测量所得的1-LSB幅度与理想的1-LSB幅度之间的差距。单一即意味着在数字输入码发生改变时，输出电压在相同方向变化（或保持不变）。

零刻度误差（ E_{ZS} ）

零刻度误差是指在数字输入值为 0 时输出与 0V 之间的偏差。

增益误差（ E_G ）

增益误差是DAC转换函数的斜率中的误差。

总谐波失真（THD）

THD是第一批6个谐波组件的均方根的值与基础根的比。THD的值以分贝表示。

信号与噪声比+失真（S/N+D）

S/N+D是输出信号的均方根的值与其它所有在Nyquist频率以下的光谱组件的均方根的值的和的比值，包括和声但不包括直流电。S/N+D的值用分贝表示。

乱真自由动力范围（spurious free dynamic range）（SFDR）

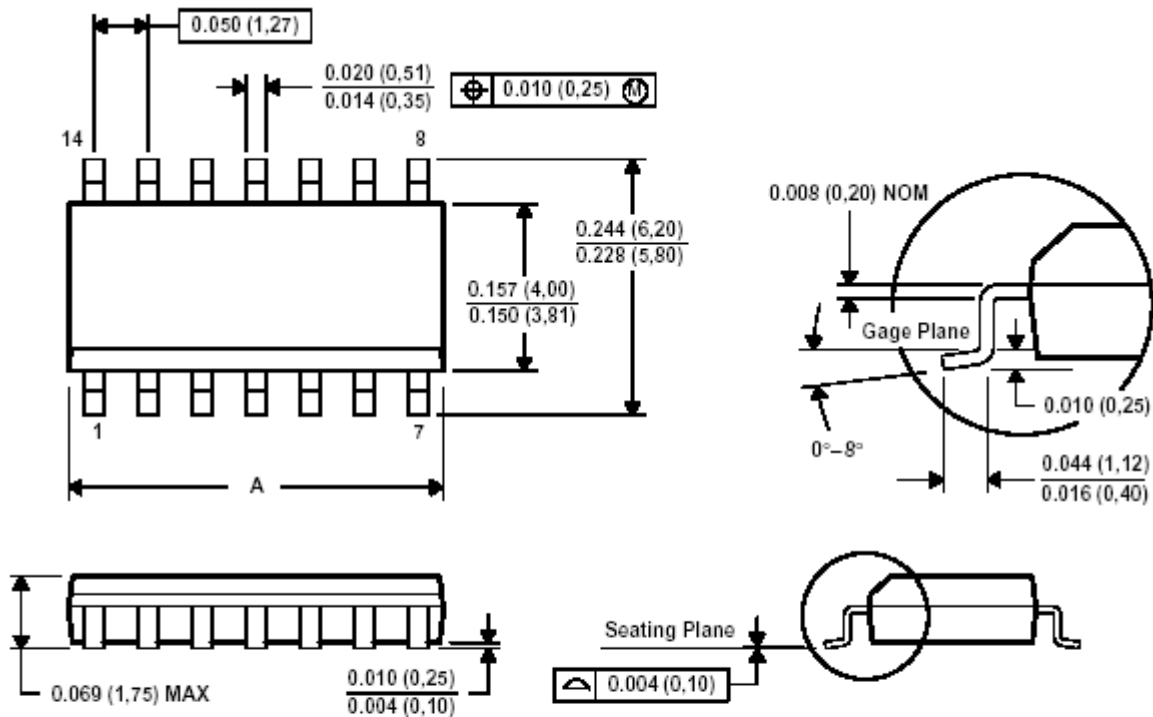
乱真自由动力范围是输出信号的均方根与特定带宽内的最大乱真信号的均方根之间的差。SFDR的值用分贝表示。

四、机械数据

D (R-PDSO-G**)

14 引脚

塑料小型封装



DIM \ PINS **	8	14	16
	A MAX	0.197 (5,00)	0.344 (8,75)
A MIN	0.189 (4,80)	0.337 (8,55)	0.386 (9,80)

- 注：A、所有线尺度均以英寸（毫米）为单位。
 B、此图若有变化不另行通知。
 C、主要尺度不包括模型的薄膜或凸出部分，凸出部分不超过 0.006 (0,15)。
 D、尺寸的减小在 JEDEC MS-012 范围内。

声明： 由于翻译水平有限，本资料仅供参考。如有不同之处，请以英文资料为准。