

带双查寻表存储器和数模转换器的通用传感器控制器 X96012

一 概述

1. 1 描述

X96012 是一个高度集成的偏压控制器，它集成了两个数控可编程电流发生器、带有专门查寻表的温度补偿和辅助 EEPROM 阵列。器件的所有功能由一个 2 线数字串行接口控制。两个温度补偿的可编程电流发生器根据温度改变输出电流，此温度由相关的非易失性查寻表的内容决定。用户可通过 2 线串行端口用任意数据来编程查寻表。无论是内部还是外部温度传感器都可用来控制输出电流响应。

集成的通用 EEPROM 可用来存储产品数据。

1. 2 特点

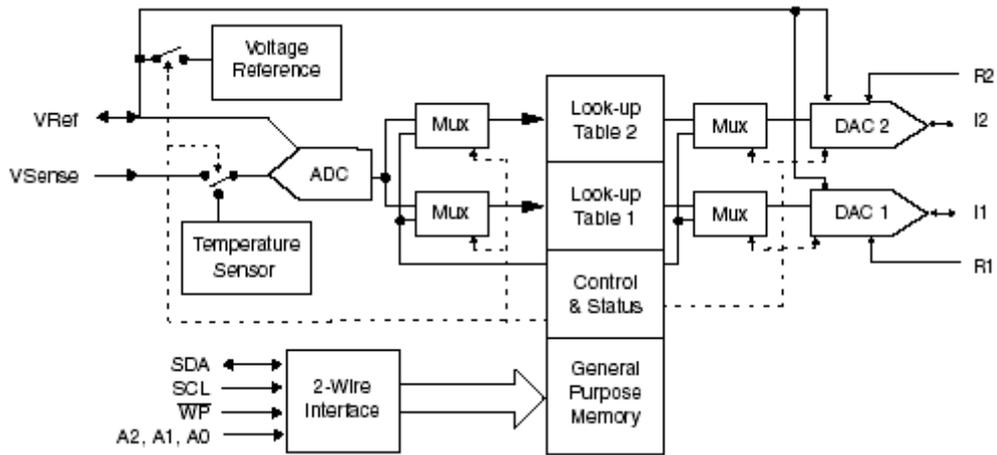
- 两个可编程电流发生器
 - 最大±3.2 mA
 - 8 位（256 步）分辨率
 - 内部可编程满幅电流输出
 - 外部电阻引脚可设置满幅电流输出
- 集成的 8 位模/数转换器
- 带输出/输入口的内部电压基准
- 温度补偿
 - 内部或外部传感器
 - 温度范围：-40°C 至+100°C
 - 分辨率：2.2°C/步（°C/step）
 - EEPROM 查寻表
- 可热拔插
- 2176 位 EEPROM
 - 17 页
 - 每页 16 个字节
- 写保护电路
 - Xicor 块锁保护（BlockLock™）
 - 逻辑控制保护
 - 带 3 个从地址位的 2 线总线
- 单电源工作：3 V 至 5.5 V
- 封装
 - 14 引脚 TSSOP

1. 3 应用范围

- PIN 二极管偏压控制
- RF PA 偏压控制
- 温度补偿过程控制
- 激光二极管偏压控制
- 扇控（Fan Control）
- 发动机控制
- 传感器信号调节
- 数字获得应用

- 增益对温度控制(Gain vs. Temperature Control)
- 高功率音频
- 开环温度补偿
- 闭环电流、电压、压力、温度、速度、位置可编程的电压源、电子负载、输出放大器或函数发生器

1. 4 方框图

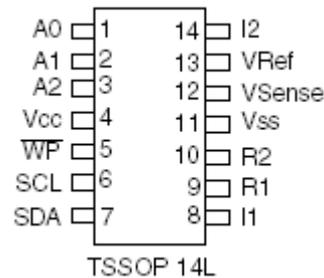


1. 5 订购信息

器件号	温度范围	封装
X96012V14I	I = -40 至 100°C	14 引脚 TSSOP

1. 6 引脚排列及说明

(1) 引脚排列图



(2) 引脚说明如下表:

TSSOP 引脚	引脚名	引脚描述
1	A0	器件地址选择脚 0。该引脚决定器件地址的 LSB，要求采用 2 线接口通信。A0 引脚有一个片内下拉电阻。
2	A1	器件地址选择脚 1。该引脚决定器件地址的中间位，要求采用 2 线接口通信。A1 引脚有一个片内下拉电阻。
3	A2	器件地址选择脚 2。该引脚决定器件地址的 MSB，要求采用 2 线接口通信。A2 引脚有一个片内下拉电阻。
4	Vcc	电源电压
5	\overline{WP}	写保护控制引脚。该引脚是一个可兼容 CMOS 的输入引脚。它为低时，写保护被使能，禁止任何写操作；为高时，使用块锁保护位 BL1 和 BL0 可保护存储器不同的区域。 \overline{WP} 引脚有一个片内下拉电阻，在该引脚处于悬空状态时，下拉电阻可使能写保护功能。
6	SCL	串行时钟。这是一个可兼容 TTL 的输入引脚。该输入引脚是一个 2 线接口时钟，它控制 SDA 引脚上的数据的输入和输出。
7	SDA	串行数据。该引脚是 2 线接口中的数据脚，控制数据输入或输出器件。当用作输入端时，它可与 TTL 兼容；用作输出端时，它是一个漏极开路输出。该引脚要求外接一个上拉电阻。
8	I1	电流发生器 1 输出引脚。该引脚吸收或发出电流。电流的数量级和方向是完全可编程和可适配的。分辨率为 8 位。
9	R1	电流编程电阻 1。一个在该引脚与 V_{SS} 间的电阻，可设置引脚 I1 上的最大输出电流。若没用电阻，最大电流必须用控制寄存器位来选定。
10	R2	电流编程电阻 2。一个在该引脚与 V_{SS} 间的电阻，可设置引脚 I2 上的最大输出电流。若没用电阻，最大电流必须用控制寄存器位来选定。
11	Vss	地
12	VSense	传感器电压输入。该电压输入引脚可用来驱动片内模/数转换器的输入。
13	VRef	基准电压输入或输出。该引脚既可配置成输入端也可配置成输出端。作为输入端时，该引脚上的电压由外部电源提供。作为输出端时，该引脚上的电压是片内能带隙 (bandgap) 参考电路的缓冲输出电压。在这两种情况下，该引脚上的电压均为模/数转换器和两个数/模转换器的基准电压。
14	I2	电流发生器 2 输出引脚。该引脚吸收或发出电流。电流的数量级和方向是完全可编程和可适配的。分辨率为 8 位。

二 特性

2.1 极限参数

所有电压均相对于 V_{SS} 而言。

工作温度	-65°C 至 +100°C
贮存温度	-65°C 至 +150°C
每个引脚上的电压 (除 V_{CC} 以外)	-1.0V 至 +7V
V_{CC} 引脚上的电压	0 至 5.5V
SDA 引脚上的直流输出电流	0 至 5 mA
R1, R2, VRef 和 VSense 引脚上的直流输出电流	-0.50 至 1 mA
I1 和 I2 引脚上的直流输出电流	-3.5 至 +3.5 mA
导线温度 (焊接, 10秒)	300°C

2. 2 推荐工作条件

参数	最小	最大	单位
温度	-40	+100	°C
对存储器写入时的温度	0	+70	°C
V _{cc} 引脚的电压	3	5.5	V
任意引脚电压	-0.3	V _{cc} + 0.3	V

注：强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

2. 3 电特性（在以下条件下工作，除非另有说明）

所有典型值须保持周围环境温度为25°C，V_{cc}引脚电压为5V。最大和最小规定参数在推荐工作条件之内。所有电压均为相对于V_{ss}引脚的电压而言。控制寄存器中的所有位为“0”。在R1引脚和V_{ss}引脚间接有一个255Ω、0.1%的电阻，另一个接在R2与V_{ss}之间。在SCL和SDA上的一个400kHz的TTL输入端通过一个外接的2KΩ的电阻拉至V_{cc}。2线接口处于等待状态（见注释1和2）。 \overline{WP} 、A0、A1和A2引脚处于悬空状态，V_{Ref}引脚无负载。

Symbol	Parameter	Min	Typ	Max	Unit	Test Conditions / Notes
I _{ocstby}	Standby current into V _{cc} pin			2	mA	R1 and R2 floating, V _{Ref} unloaded.
I _{ocfull}	Full operation current into V _{cc} pin			15	mA	2-wire interface reading from memory, I ₁ and I ₂ both connected to V _{ss} , DAC input bytes: FFh, V _{Ref} unloaded.
I _{ocwrite}	Nonvolatile Write current into V _{cc} pin		4		mA	Average from START condition until $t_{\overline{WP}}$ after the STOP condition \overline{WP} : V _{cc} , R1 and R2 floating, V _{Ref} unloaded.
I _{PLDN}	On-chip pull down current at \overline{WP} , A0, A1, and A2	0	1	20	μA	V(\overline{WP}), V(A0), V(A1), and V(A2) from 0V to V _{cc}
V _{ILTTL}	SCL and SDA, input Low voltage			0.8	V	
V _{IH TTL}	SCL and SDA, input High voltage	2.0			V	
I _{INTTL}	SCL and SDA input current	-1		10	μA	Pin voltage between 0 and V _{cc} , and SDA as an input.
V _{OLSDA}	SDA output Low voltage	0		0.4	V	I(SDA) = 2 mA
I _{OHSDA}	SDA output High current	0		100	μA	V(SDA) = V _{cc}

(续前表)

Symbol	Parameter	Min	Typ	Max	Unit	Test Conditions / Notes
V _{ILCMOS}	WP, A0, A1, and A2 input Low voltage	0		0.2 x V _{CC}	V	
V _{IHCMOS}	WP, A0, A1, and A2 input High voltage	0.8 x V _{CC}		V _{CC}	V	
V _{Refout}	Output Voltage at V _{Ref} at 25°C	1.205	1.21	1.215	V	-20 μA ≤ I(V _{Ref}) ≤ 20 μA
R _{Vref}	V _{Ref} pin input resistance	20		40	kΩ	VRM bit = "1", 25°C
T _{COref}	Temperature coefficient of V _{Ref} output voltage	-100		+100	ppm/°C	See note 4 and 5.
V _{Ref Range}	Voltage range when V _{Ref} is an input	1		1.3	V	See note 3.
T _{SenseRange}	Temperature sensor range	-40		100	°C	See note 4.
I _R	Current from pin R1 or R2 to V _{SS}	0		3200	μA	
V _{POR}	Power on reset threshold voltage	1.5		2.8	V	
V _{CC Ramp}	V _{CC} Ramp Rate	0.2		50	mV / μs	
V _{ADCOK}	ADC enable minimum voltage	2.6		2.8	V	See Figure 11.

注：1、器件进入等待：在任何等待条件后 200 ns，除非发起一次非易失性写周期。在一个发起一次非易失性写周期的停止条件后进入等待时间 t_{WC}。在任何没有带正确从地址字节的开始条件之后，器件也会进入 9 个等待时钟周期。

2、t_{WC} 是从一次写时序结束的一个有效停止条件到自定时内部非易失性写周期结束的一段时间。除非使用应答查询，否则它是允许用户进行任何非易失性写的最小周期时间。

3、对于该范围的 V(V_{Ref})，I1 和 I2 引脚上的满幅额吸收方式电流的线性误差小于 1%。

4、这些参数为定时取样所得，并未经 100%测试。

5、 $TCO_{ref} = [\text{Max } V(V_{REF}) - \text{Min } V(V_{REF})] \times 10^6 / (1.21V \times 140^\circ\text{C})$ 。

2. 4 数/模转换器特性 (标准条件见第 4 页)

Symbol	Parameter	Min	Typ	Max	Unit	Test Conditions / Notes
IFS ₀₀	I1 or I2 full scale current, with external resistor setting	1.56	1.58	1.6	mA	See note 1, 5
				3.2	mA	See note 1, 4, 6
IFS ₀₁	I1 or I2 full scale current, with internal low current setting option	0.3	0.4	0.5	mA	DAC input Byte = FFh, Source or sink mode, V(I1) and V(I2) are V _{CC} -1.2V in source mode and 1.2V in sink mode. See notes 2 and 3.
IFS ₁₀	I1 or I2 full scale current, with internal middle current setting option	0.64	0.85	1.06	mA	
IFS ₁₁	I1 or I2 full scale current, with internal high current setting option	1	1.3	1.6	mA	
Offset _{DAC}	I1 or I2 D/A converter offset error	1		1	LSB	
FSErr _{DAC}	I1 or I2 D/A converter full scale error	-2		2	LSB	
DNL _{DAC}	I1 or I2 D/A converter Differential Nonlinearity	-0.5		0.5	LSB	
INL _{DAC}	I1 or I2 D/A converter Integral Nonlinearity with respect to a straight line through 0 and the full scale value	-1		1	LSB	
V _{Sink}	I1 or I2 Sink Voltage Compliance	1.2		V _{CC}	V	See note 5
		2.5		V _{CC}	V	See note 4, 6
V _{Source}	I1 or I2 Source Voltage Compliance	0		V _{CC} -1.2	V	See note 5
		0		V _{CC} -2.5	V	See note 4, 6
I _{OVER}	I1 or I2 overshoot on D/A Converter data byte transition			0	μA	DAC input byte changing from 00h to FFh and vice versa, V(I1) and V(I2) are V _{CC} -1.2V in source mode and 1.2V in sink mode. See note 4.
I _{UNDER}	I1 or I2 undershoot on D/A Converter data byte transition			0	μA	
t _{rDAC}	I1 or I2 rise time on D/A Converter data byte transition; 10% to 90%	5		30	μs	
TCO _{I1I2}	Temperature coefficient of output current I1 or I2 when using internal resistor setting		±200		ppm/°C	See Figure 8. Bits I1FSO[1:0] ≠ 00 ₂ or Bits I2FSO[1:0] ≠ 00 ₂ , VRMbit = "1"

注：1、数/模转换器输入字节= FFh，电源或吸收方式。

2、LSB 被定义为 $\left[\frac{2}{3} \times \frac{V(Vref)}{255}\right]$ 除以 R1 或 R2 与 V_{SS} 间的阻抗。

3、Offset_{DAC}：数模转换器的偏移量被定义为当数模转换器的输入端位于 01h 时，测量输出和理想输出之间的偏差。它表现在 LSB 上。

FSErr_{DAC}：数/模转换器的满幅误差。它是在数/模转换器的输入为 FFh 时测量输出和理想输出间的偏差，表现在 LSB 中。在计算 FSErr_{DAC} 之前，要先从测量值中减 Offset_{DAC}。

DNL_{DAC}：数/模转换器的差分非线性。它是在数/模转换器的输入被一个电码步改变时，数/模转换器的输出端上的测量增加变化与理想增加变化的偏差值。它表现在 LSB 中。在计算 DNL_{DAC} 之前，测量值因偏移误差和满幅误差须经调整。

INL_{DAC}：数/模转换器的集成非线性。它是在因偏移误差和满幅误差而对测量转换曲线进行调整之后，测量转换曲线和理想转换曲线之间的偏差。它表现在 LSB 中。

4、这些参数是定期取样所得，并未经 100% 测试。

5、V(I1)和 V(I2)在电源方式中为 V_{CC} -1.2V；在吸收方式中为 1.2V。在该范围内，I1 或 I2 上的电流变化 < 1%。

6、在最小 V_{CC}= 4.5V 时，可通过一个外部电阻将最大吸收或源电流设置为 3.2 mA。来自电源分配总线的灵活性电压可变为 2.5V，且电流变化 < 1%。

2. 5 模/数转换器特性（标准条件见第 4 页）

Symbol	Parameter	Min	Typ	Max	Unit	Test Conditions / Notes
ADCTIME	A/D converter conversion time			9	ms	Proportional to A/D converter input voltage. This value is maximum at full scale input of A/D converter. ADCfiltOff = "1"
RIN _{ADC}	VSense pin input resistance	100			kΩ	VSense as an input, ADCIN bit = "1"
CIN _{ADC}	VSense pin input capacitance	1		7	pF	VSense as an input, ADCIN bit = "1", Frequency = 1 MHz See note 3.
VIN _{ADC}	VSense input signal range	0		V(VRef)	V	This is the A/D Converter Dynamic Range. ADCIN bit = "1"
The ADC is monotonic						
Offset _{ADC}	A/D converter offset error		±1		LSB	See notes 1 and 2
FSError _{ADC}	A/D converter full scale error		±1		LSB	
DNL _{ADC}	A/D Converter Differential Nonlinearity		±0.5		LSB	
INL _{ADC}	A/D converter Integral Nonlinearity		±1		LSB	
TempStep _{ADC}	Temperature step causing one step increment of ADC output	0.52	0.55	0.58	°C	See note 3
Out25 _{ADC}	ADC output at 25°C		01110101 ₂			

注：1、“LSB”定义为 $V(V_{Ref})/255$ ，“满幅”定义为 $V(V_{Ref})$ 。

2、Offset_{ADC}：对一个理想的转换器，其转换曲线的第一次转变发生在 $[\frac{0.5 \times V(V_{Ref})}{255}]$ 大于 0。偏移误差是测量的第一次转变点和理想点之间的偏差。

FSError_{ADC}：对一个理想的转换器，其转换曲线的最后一次转变发生在 $[\frac{254.5 \times V(V_{Ref})}{255}]$ 。满幅误差是在将偏移误差从测量曲线中减去后，测量的最后转变点和理想点的偏差值。

DNL_{ADC}：DNL 是理想电码转变和测量电码转变之间的差值。连续的模/数电码输出表现在 LSB 中。在计算 DNL 之前，要因偏移误差和满幅误差调整测量转变曲线。

INL_{ADC}：它是模/数转换器的测量转移函数与理想转移函数之间的偏差。INL 误差也被定义为 DNL 误差的和，DNL 误差从电码 00h 开始到 INL 期望的测量电码结束。在计算 INL 之前，要因偏移误差和满幅误差调整测量转变曲线。

3、这些参数是定期取样所得，并未经 100%测试。

2. 6 (1) 2 线接口交流特性

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions / Notes
f _{SCL}	SCL Clock Frequency	1 ⁽³⁾		400	kHz	See "2-Wire Interface Test Conditions" (below), See Figure 1, Figure 2 and Figure 3.
t _{IN} ⁽⁴⁾	Pulse width Suppression Time at inputs			50	ns	
t _{AA} ⁽⁴⁾	SCL Low to SDA Data Out Valid			900	ns	
t _{BUF} ⁽⁴⁾	Time the bus free before start of new transmission	1300			ns	
t _{LOW}	Clock Low Time	1.3		1200 ⁽³⁾	μs	
t _{HIGH}	Clock High Time	0.6		1200 ⁽³⁾	μs	
t _{SU:STA}	Start Condition Setup Time	600			ns	
t _{HD:STA}	Start Condition Hold Time	600			ns	
t _{SU:DAT}	Data In Setup Time	100			ns	
t _{HD:DAT}	Data In Hold Time	0			μs	
t _{SU:STO}	Stop Condition Setup Time	600			ns	
t _{DH}	Data Output Hold Time	50			ns	
t _R ⁽⁴⁾	SDA and SCL Rise Time	20 +0.1Cb ⁽¹⁾		300	ns	
t _F ⁽⁴⁾	SDA and SCL Fall Time	20 +0.1Cb ⁽¹⁾		300	ns	
t _{SU:WP} ⁽⁴⁾	WP Setup Time	600			ns	
t _{HD:WP} ⁽⁴⁾	WP Hold Time	600			ns	
Cb ⁽⁴⁾	Capacitive load for each bus line			400	pF	

(2) 2 线接口测试条件

输入脉冲电平	Vcc 的 10% 至 90%
在 10%和 90%间的输入上升和下降时间	10 ns
输入和输出时序门限电平	1.4V
SDA 引脚上的外部负载	对于 Vcc, 2.3KΩ; 对于 Vss, 100 pF

2. 7 非易失性写周期时序

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions / Notes
t _{WC} ⁽²⁾	Nonvolatile Write Cycle Time		5	10	ms	See Figure 3

注：1、Cb =在 pF 中的一根总线（SDA 或 SCL）的总电容。

2、t_{WC} 是从一次写时序结束的一个有效停止条件到自定时内部非易失性写周期结束的一段时间。除非使用应答查询，否则它是允许用户进行任何非易失性写的最小周期时间。

3、最小频率要在一个开始条件和一个停止条件间应用。

4、这些参数是定时取样所得，未经 100%测试。

2. 8 时序图

图 1 总线时序

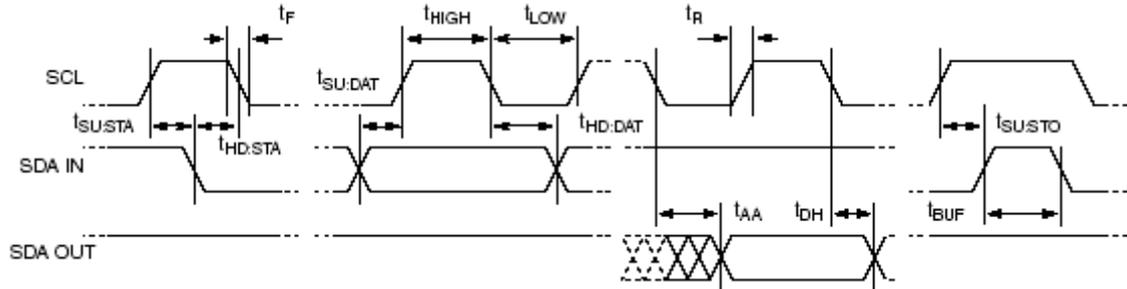


图 2 \overline{WP} 引脚时序

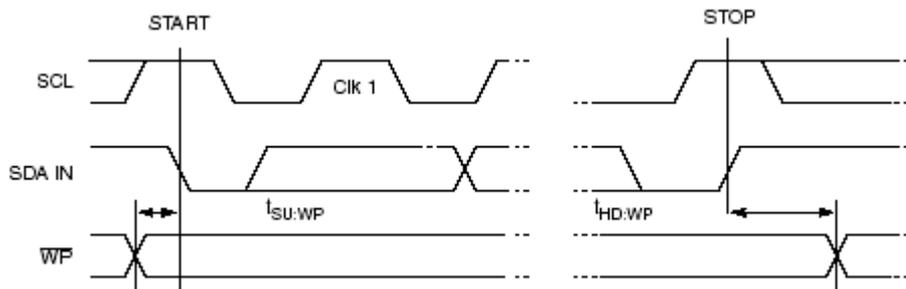
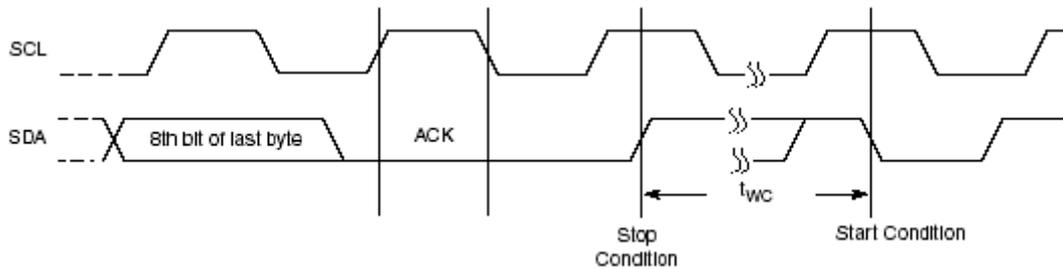


图 3 非易失性写周期时序



2. 9 XICOR 传感器调节器产品系列表

Device	Title	Features / Functions							
		Internal Temperature Sensor	External Sensor Input	Internal Voltage Reference	VREF Input / Output	General Purpose EEPROM	Look Up Table Organization	# of DACs	FSO Current DAC Setting Resistors
X96010	Sensor Conditioner with Dual Look-Up Table Memory and DACs	No	Yes	Yes	Yes	No	Dual Bank	Dual	Ext
X96011	Temperature Sensor with Look-Up Table Memory and DAC	Yes	No	Yes	No	No	Single Bank	Single	Int
X96012	Universal Sensor Conditioner with Dual Look-Up Table Memory and DACs	Yes	Yes	Yes	Yes	Yes	Dual Bank	Dual	Ext / Int

FSO = Full Scale Output, Ext = External, Int = Internal

2. 10 器件描述

X96012将两个可编程电流发生器和带块锁保护(Block Lock™)的EEPROM集成在一个封装内。X96012的这种功能性集成和XICOR的QFN封装降低了系统成本、提高了可靠性并减少了电路板空间要求。

两个片内可编程电流发生器可被单独编程为吸收或源电流。可产生的最大电流可由一个外接的编程电阻决定或从三个预先定义的值中选择一个。两个电流发生器的最大输出为±3.2 mA而且还可将其绝对分辨率控制为0.39% (256步/8位)。

两个电流发生器可用一个片内温度传感器、一个外部传感器或控制寄存器来驱动。内部温度传感器的工作温度范围非常宽(-40°C 至+100°C)。传感器输出(内部或外部)驱动一个8位的模/数转换器。该转换器输出端的6个MSB从每个非易失性查寻表(LUT)中的64个字节中选择一个字节。

选出的LUT列(8位宽)的内容驱动一个8位数/模转换器的输入端, 该转换器产生输出电流。

X96012的所有控制和调整参数包括查寻表都可通过2线串行端口编程。

器件的通用存储器是一个带XICOR块锁保护(Block Lock™)的CMOS串行EEPROM阵列。该阵列内部组织为272 x 8位, 每页16字节, 并采用了XICOR的专利直接写元件(Direct Write™), 可提供最小100000次页面写周期和最少100年的数据保存期。

三 工作原理

3. 1 控制和状态寄存器

控制和状态寄存器为用户提供了改变和读取 X96012 的不同参数值的机制。X96012 包含 7 个控制寄存器、1 个状态寄存器和几个保留寄存器, 每个寄存器为 1 字节宽(见图 4)。控制寄存器 0 至 6 分别位于存储器地址 80h 至 86h。状态寄存器位于存储器地址 87h, 保留寄存器位于 88h 到 8Fh。

控制寄存器 6 的所有位总在上电时设置为逻辑状态“0”。控制寄存器 0 至 5 的所有位在上电时设置的逻辑状态值保存在其相应的非易失性存储器单元中。即使在 X96012 掉电后再上电时, 寄存器的非易失位也可保持其存储值不变。控制寄存器 0 和控制寄存器 5 的非易失性位在出厂时都被预先设置为逻辑状态“0”。如果对寄存器进行写操作, 则对被标识为“保留”位的读操作将被忽略, 并必须被写为“0”。

以下是对每个控制和状态寄存器位的功能的详细描述:

3. 1. 1 控制寄存器 0

通过对寄存器的地址 80h 进行一次读或写操作来访问该寄存器。

(1) BL1, BL0: 块锁保护位(非易失性)

这两位用于禁止对存储器阵列中的某些地址进行写操作。存储器受保护的区域由下表所示的这两位的值决定。如果用户试图对被保护区进行一次写操作, 该操作将失效且不会改变阵列中的任何数据。

BL1	BL0	受保护地址(大小)	被锁存的阵列部分
0	0	无(缺省)	无(缺省)
0	1	00h 至 7Fh (128 字节)	GPM
1	0	00h至7Fh 以及 90h 至 CFh (192 字节)	GPM, LUT1
1	1	00h至 7Fh以及90h 至 10Fh (256 字节)	GPM, LUT1, LUT2

注意, 如果X96012的写保护输入引脚(WP)有效(低), 则不管块锁保护位的设置如何, 对存储器的任何写操作都是被禁止的。

(2) VRM:电压基准引脚模式(非易失性)

VRM位将电压基准引脚(VRef)配置成输入或输出端。当VRM位置“0”（缺省）时，引脚VRef上的电压是从X96012内部电压基准输出的电压。当VRM位置“1”时，VRef引脚的电压基准是外部电压基准。见图5。

(3) ADCIN:模/数转换器输入选择位（非易失性）

ADCIN位选择片内模/数转换器的输入引脚。当ADCIN位置为“0”（缺省）时，片内温度传感器的输出端即为模/数转换器的输入端。当ADCIN位置“1”时，模/数转换器的输入端是Vsense引脚上的电压。见图7。

(4) ADCFILTOFF: 模/数转换器滤波控制位（非易失性）

该位置“1”时，位于87h的状态寄存器在模/数转换器每一次转换后都会更新。若该位置为“0”（缺省），在转换器的6个MSB上发生连续4次结果相同的转换后，状态寄存器将更新。

(5) NV1234:控制寄存器1、2、3、4的易失性方式选择位（非易失性）

当NV1234位置为“0”（缺省）时，写入控制寄存器1、2、3、4的字节存储在易失性单元中，在X96012掉电时，这些单元的内容丢失。NV1234位置“1”时，写入控制寄存器1、2、3、4的字节同时存储在易失性和非易失性单元中，在X96012掉电再上电时，它们的值不变。见“对控制寄存器进行写操作”。

(6) I1DS:电流发生器1的方向选择位（非易失性）

I1DS位设置电流发生器1和数/模转换器1的极性。该位置“0”（缺省）时，X96012的电流发生器1被配置为一个电流源。该位置“1”时，电流发生器1被配置为吸收电流。见图8。

(7) I2DS: 电流发生器2的方向选择位（非易失性）

I2DS位设置电流发生器2和数/模转换器2的极性。该位置“0”（缺省）时，X96012的电流发生器2被配置为一个电流源。该位置“1”时，电流发生器2被配置为吸收电流。见图8。

3. 1. 2 控制寄存器1

该寄存器通过对存储器地址81h进行一次读或写操作来访问。该字节的易失性由控制寄存器0中的NV1234位决定。

L1DA5-L1DA0:LUT1 直接访问位

当L1DAS位（控制寄存器5中的位4）置为“1”时，LUT1被此6位寻址，而不由片内模/数转换器的输出端寻址。当L1DAS位置为“0”时，这6位被X96012忽略。见图10。

一个在00h (00₁₀) 和 3Fh (63₁₀)之间的值可被写入这些寄存器位以选择LUT1中相应的列。写入的值被添加到LUT1(90h)的基址。

3. 1. 3 控制寄存器2

该寄存器通过对存储器地址82h进行一次读或写操作来访问。该字节的易失性由控制寄存器0中的NV1234位决定。

L2DA5-L2DA0: LUT2直接访问位

当L2DAS位（控制寄存器5中的位6）置为“1”时，LUT2被此6位寻址，而不由片内模/数转换器的输出端寻址。当L2DAS位置为“0”时，这6位被X96012忽略。见图10。

一个在00h (00₁₀) 和 3Fh (63₁₀)之间的值可被写入这些寄存器位以选择LUT2中相应的列。写入的值被添加到LUT2(D0h)的基址。

图4 控制和状态寄存器格式

Byte Address	MSB								LSB	Register Name
	7	6	5	4	3	2	1	0		
80h Non-Volatile	I2DS	I1DS	NV1234	ADCFILT0F	ADCIN	VRM	BL1	BL0	Control 0	
I1 and I2 Direction 0: Source 1: Sink Control 1, 2, 3, 4 Volatility 0: Volatile 1: Non-volatile ADC filtering 0: On 1: Off ADC Input 0: Internal 1: External Voltage Reference Mode 0: Internal 1: External Block Lock 00: None Locked 01: GPM Locked 10: GPM, LUT1, Locked 11: GPM, LUT1, LUT2 Locked										
Direct Access to LUT1										
81h Volatile or Non-Volatile	Reserved	Reserved	L1DA5	L1DA4	L1DA3	L1DA2	L1DA1	L1DA0	Control 1	
Direct Access to LUT2										
82h Volatile or Non-Volatile	Reserved	Reserved	L2DA5	L2DA4	L2DA3	L2DA2	L2DA1	L2DA0	Control 2	
Direct Access to DAC1										
83h Volatile or Non-Volatile	D1DA7	D1DA6	D1DA5	D1DA4	D1DA3	D1DA2	D1DA1	D1DA0	Control 3	
Direct Access to DAC2										
84h Volatile or Non-Volatile	D2DA7	D2DA6	D2DA5	D2DA4	D2DA3	D2DA2	D2DA1	D2DA0	Control 4	
Direct Access to DAC2										
85h Non-Volatile	D2DAS	L2DAS	D1DAS	L1DAS	I2FSO1	I2FSO0	I1FSO1	I1FSO0	Control 5	
Direct Access to DAC2 0: Disabled 1: Enabled Direct Access to LUT2 0: Disabled 1: Enabled Direct Access to DAC1 0: Disabled 1: Enabled Direct Access to LUT1 0: Disabled 1: Enabled R2 Selection 00: External 01: Low Internal 10: Middle Internal 11: High Internal R1 Selection 00: External 01: Low Internal 10: Middle Internal 11: High Internal										
86h Volatile	WEL	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Control 6	
Write Enable Latch 0: Write Disabled 1: Write Enabled										
ADC Output										
87h Volatile	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	Status	

Registers in byte addresses 88h through 8Fh are reserved.

3. 1. 4 控制寄存3

该寄存器通过对存储器地址83h进行一次读或写操作来访问。该字节的易失性由控制寄存器0中的NV1234位决定。

D1DA7-D1DA0: 数/模转换器1直接访问位

当D1DAS位（控制寄存器5中的位5）置为“1”时，对数/模转换器1的输入是D1DA7-D1DA0位的内容，而不是LUT1的一列。当D1DAS位被置“0”（缺省）时，这8位被X96012忽略。见图9。

3. 1. 5 控制寄存器4

该寄存器通过对存储器地址84h进行一次读或写操作来访问。该字节的易失性由控制寄存器0中的NV1234位决定。

D2DA7-D2DA0: 数/模转换器2直接访问位

当D2DAS位（控制寄存器5中的位7）置为“1”时，对数/模转换器1的输入是D2DA7-D2DA0位的内容，而不是LUT2的一列。当D2DAS位被置“0”（缺省）时，这8位被X96012忽略。见图9。

3. 1. 6 控制寄存器5

该寄存器通过对存储器地址85h进行一次读或写操作来访问。

(1) I1FSO1-I1FSO0: 电流发生器1的满幅输出设置位（非易失性）

这两位用来设置电流发生器1引脚I1的满幅输出电流。如果这两位都被置为“0”（缺省），一个外接在引脚R1和V_{ss}之间的电阻决定引脚I1上的满幅输出电流。下表列出了其它三个选项。该电流的方向由控制寄存器0中的I1DS位设定。见图8。

I1FSO1	I1FSO0	I1引脚的满幅度输出电流
0	0	通过R1引脚在外部设置（缺省）
0	1	±0.4mA*
1	0	±0.85 mA*
1	1	±1.3 mA*

*注：在这些情况下，在R1和V_{ss}之间不应外接电阻。

(2) I2FSO1-I2FSO0: 电流发生器2的满幅输出设置位（非易失性）

这两位用来设置电流发生器2引脚I2的满幅输出电流。如果这两位都被置为“0”（缺省），一个外接在引脚R2和V_{ss}之间的电阻决定引脚I2上的满幅输出电流。下表列出了其它三个选项。该电流的方向由控制寄存器0中的I2DS位设定。

I2FSO1	I2FSO0	I2引脚的满幅输出电流
0	0	通过R2引脚在外部设置（缺省）
0	1	±0.4mA*
1	0	±0.85 mA*
1	1	±1.3 mA*

*注：在这些情况下，在R1和V_{ss}之间不应外接电阻。

(3) L1DAS: LUT1直接访问选择位（非易失性）

当L1DAS位置“0”（缺省）时，LUT1被片内模/数转换器的输出寻址。L1DAS置为“1”时，LUT1被L1DA5-L1DA0位寻址。

(4) D1DAS: 数/模转换器1直接访问选择位（非易失性）

当D1DAS位置为“0”（缺省）时，对数/模转换器1的输入是LUT1的一列。当D1DAS位置“1”时，输入是控制寄存器3的内容。

(5) L2DAS: LUT2直接访问选择位（非易失性）

当L2DAS位置为“0”（缺省）时，LUT2被片内模/数转换器的输出寻址。L2DAS置为“1”时，LUT2被L2DA5– L2DA0位寻址。

(6) D2DAS: 数/模转换器2直接访问选择位（非易失性）

当D2DAS位置为“0”（缺省）时，对数/模转换器2的输入是LUT2的一列。当D2DAS位置“1”时，输入是控制寄存器4的内容。

3. 1. 7 控制寄存器6

该寄存器通过对存储器地址86h进行一次读或写操作来访问。

(1) WEL:写使能锁存位（易失性）

WEL位控制整个X96012器件的写使能状态。在任何写操作（易失性和非易失性）之前，该位必须置为“1”。否则，对存储器进行的任何写操作都无效且在一个数据字节之后器件不会发出应答。

WEL位是一个易失性锁存位，在上电时处于“0”状态（禁止）。WEL位通过对控制寄存器6写入10000000₂使能。一旦被使能，WEL位将保持置“1”直到X96012掉电再上电或者通过对控制寄存器6写入10000000₂复位为“0”。

改变WEL位值的写操作不会导致控制寄存器6其它位的变化。

3. 1. 8 状态寄存器-模/数转换器输出位

该寄存器通过对存储器地址87h进行一次读或写操作来访问。

AD7–AD0: 模/数转换器输出位（只读）

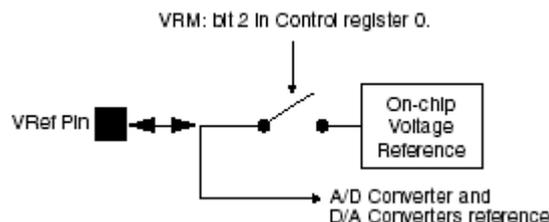
这8位是片内模/数转换器的二进制输出位。对于最小输入，输出位为00000000₂；对满幅输入，输出位为11111111₂。6个MSB选择LUT的一列。

3. 2 电压基准

X96012模/数转换器和数/模转换器的电压基准可由片内电压基准驱动也可通过VRef引脚由外部电源驱动。控制寄存器0中的VRM位可在这两种选择中选定一项（见图5）。

VRM的缺省值为“0”，该值选择内部电压基准。一旦选择内部电压基准，其输出电压也是引脚VRef的输出电压，引脚VRef通常为1.21 V。若要选择外部电压基准，控制寄存器0的VRM位必须被置“1”。

图5 电压基准结构



3. 3 模/数转换器

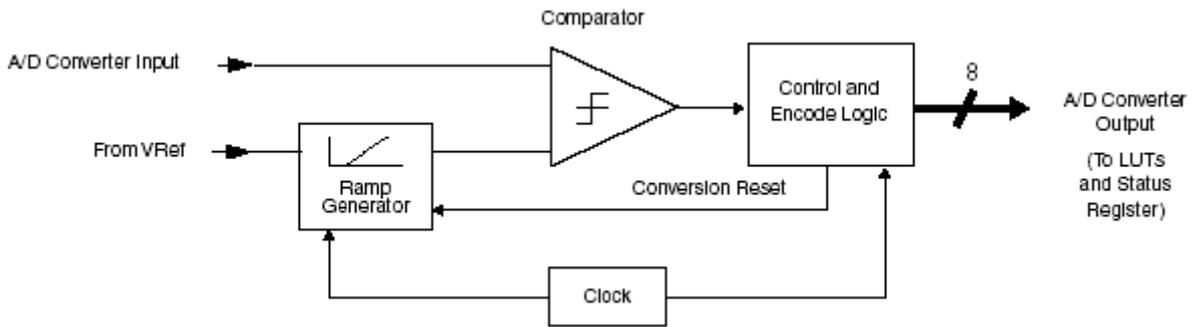
X96012 包括一个通用片内 8 位模/数转换器，其输出端可见状态寄存器位 AD[7:0]。在缺省时，这些输出位用来选择查寻表中的一列，这些查寻表与 X96012 电流发生器相联。若 ADCFILTOFF 位为“0”（缺省），则每当模/数转换器进行 4 次连续的在 MSB 上结果相同的转换时，位 AD[7:0]会更新。若 ADCFILTOFF 位为“1”，则模/数转换器每次转换之后，位 AD[7:0]将更新。

图 6 为模/数转换器的方框图。电压基准输入端（详见“电压基准”一节）设置斜坡发生器的最大振

幅。模/数转换器的输入信号（详见下面的“模/数转换器输入选择”一节）被比作斜坡发生器的输出。控制和编码逻辑产生一个二进制的编码输出，其最小值为 00h (0₁₀)，满幅输出值为 FFh (255₁₀)。

模/数转换器的输入电压范围 (VINADC) 为 0 V 至 V(VRef)。

图6 数/模转换器方框图

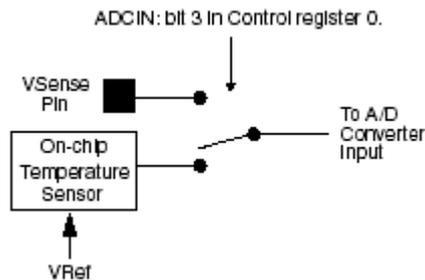


3. 3. 1 模/数转换器输入选择

X96012模/数转换器的输入信号可以是片内温度传感器的输出，或是通过VSense引脚的外部电源。控制寄存器0中的ADCIN位可在这两个选项中选择（见图7）。ADCIN位的缺省值为“0”，表示选择内部温度从传感器。

若想选择外部电源作为模/数转换器的输入，控制寄存器0的ADCIN位必须被置为“1”。

图 7 模/数转换器输入选择结构



3. 3. 2 模/数转换器范围

从图 6 可知，模/数转换器输入的工作范围取决于电压基准。从图 7 可知，内部温度传感器的输出也随电压基准(VRef)变化。

下表总结了在不同配置中 VSense 引脚和 VRef 引脚上的电压范围限制。

VSense 和 VRef 范围

VRef	模/数转换器输入	范围
内部	内部温度传感器	不可应用
内部	VSense 引脚	$0 \leq V(\text{VSense}) \leq V(\text{VRef})$
外部	VSense 引脚	$0 \leq V(\text{VRef}) \leq 1.3 \text{ V}$ $0 \leq V(\text{VSense}) \leq V(\text{VRef})$
外部	内部温度传感器	无效
所有电压相对于 Vss		

3.3.3 查寻表

X96012存储阵列包含两个64字节的查寻表。通过各自的数/模转换器，这两个查寻表一个与引脚I1的输出电流发生器相联；另一个与引脚I2的输出电流发生器相联。每个查寻表的输出是选定列中的字节。在缺省时，这些字节是数/模转换器的输入，它们驱动引脚I1和I2。

被选定列的字节地址可能通过添加查寻表基址（LUT1为90h；LUT2为D0h）和适当的列选位获得。见图9。

在缺省时，查寻表选择位是模/数转换器输出端的6位MSB。另外，可绕过模/数转换器，则6位列选位为控制寄存器1和控制寄存器2的LSB，控制寄存器1和控制寄存器2分别对应LUT1和LUT2。图10列出了在这些选项间的选择，相关描述见“I2DS：电流发生器2方向选择位（非易失性）”和“控制寄存器2”。

3.3.4 电流发生器块

电流发生器引脚I1和I2是两个独立电流模式数/模转换器的输出端。

3.3.5 数/模转换器工作原理

图8为每个数/模转换器的方框图。

数/模转换器的输入字节选择运算放大器的非易失性输入端上的电压。放大器的输出驱动FET门，其电源通过电阻R1或R2接地。该节点也被反馈至放大器的转化输入端。FET的漏极通过一个“极性选择”电路块连接到输出电流引脚（I1或I2）。

通过查阅图8可知，引脚I1的最大电流可通过确定V(VRef)引脚和R1引脚的值来设定。而输出电流则可通过改变数/模转换器输入端的数据字节来改变。

一般，数/模转换器输出引脚（I1, I2）的数量级可用以下公式计算：

$$I_x = (V(VRef) / (384 \cdot R_x)) \cdot N$$

其中，x=1,2，N代表相应数/模转换器的十进制输入字节。电阻Rx (x=1,2)的值决定数/模转换器可吸收电流或可提供的满幅输出电流。满幅输出电流的最大值为±3.2 mA，可用一个阻值为255Ω的电阻Rx获得。该阻抗可外接至X96012的Rx引脚或从三个内部值中选取一个。位I1FSO1和I1FSO0选择I1的满幅输出电流，相关描述见13页的“I1FSO1-I1FSO0：电流发生器1满幅输出设置位（非易失性）”。位I2FSO1和I2FSO0选择I2的最大电流。在为R1和R2选择了内部电阻后，在相应的引脚上不应再外接电阻。

控制寄存器0中的位I1DS 和 I2DS独立地选择通过引脚I1和I2的电流方向（见11页“I1DS：电流发生器1方向选择位（非易失性）”和12页的“控制和状态寄存器格式”）。

图8 数/模转换器方框图

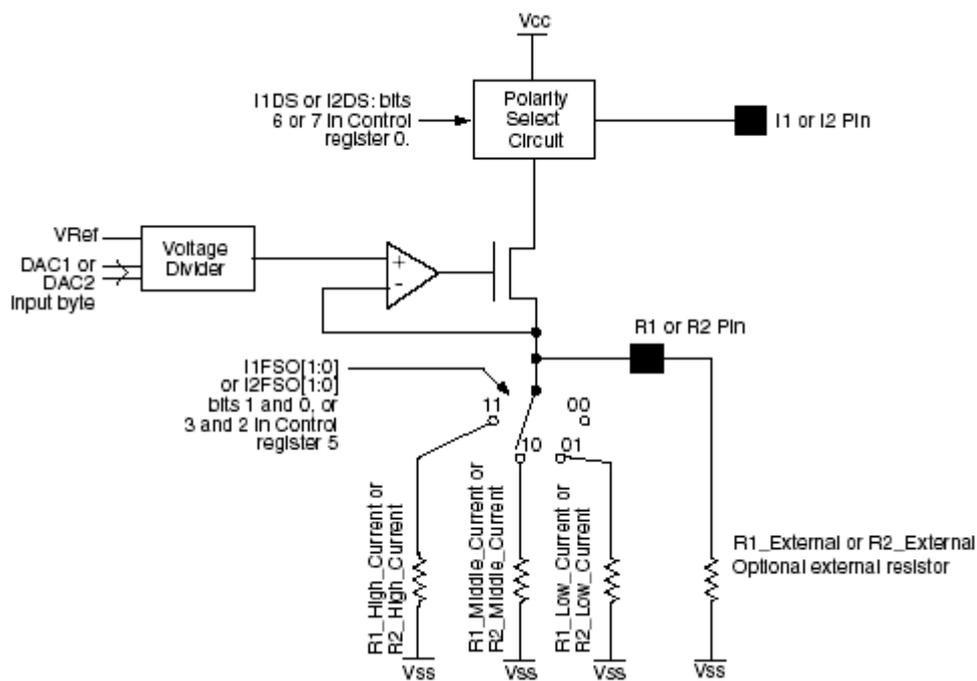
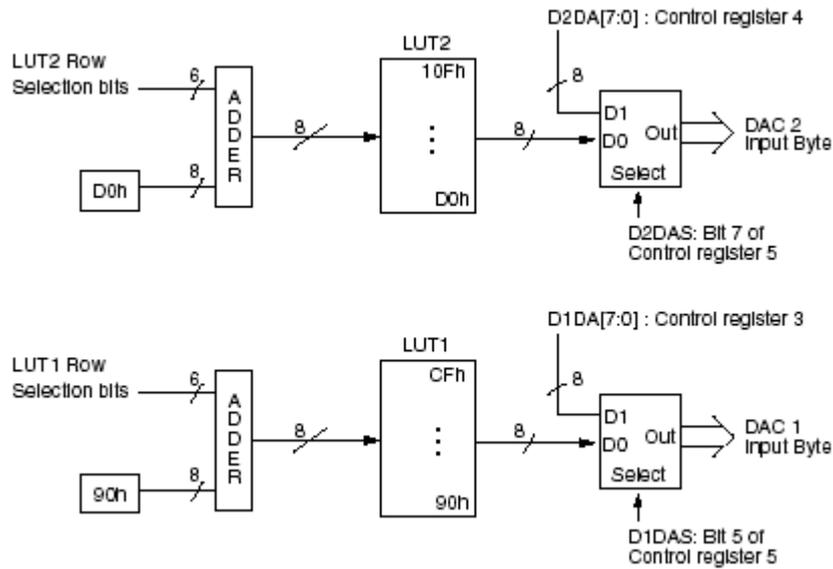


图9 查寻表（LUT）工作



3. 3. 6 数/模转换器输出电流响应

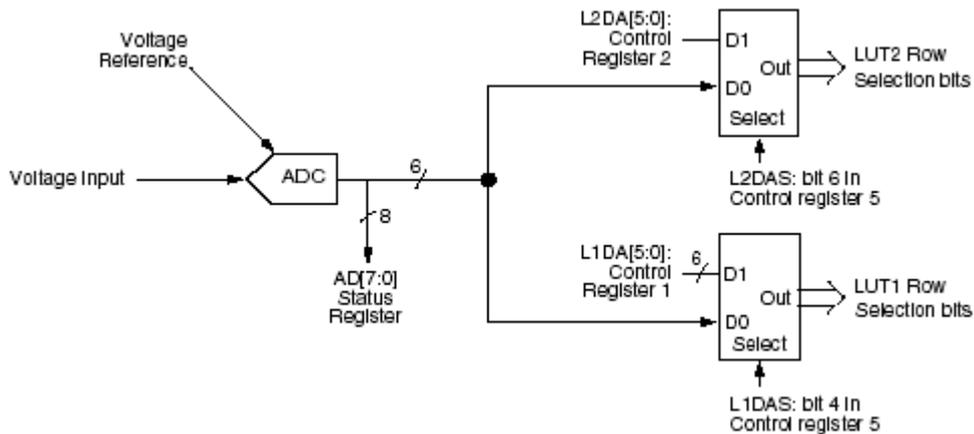
在数/模转换器的输入数据字节被一组任意数目的位改变时，输出电流从初始电流(I_x)变为最终电流($I_x + \Delta I_x$)。这一转变是单调无干扰的。

3. 3. 7 数/模转换器控制

数/模转换器的数据字节输入可由以下三种方式控制：

- 1) 采用模/数转换器并通过查寻表（缺省）
- 2) 绕过模/数转换器直接访问查寻表
- 3) 绕过模/数转换器和查寻表并直接设置数/模转换器的输入字节。

表10 查寻表寻址



下表为选项总结：
 数/模转换器 1 访问总结

L1DAS	D1DAS	Control Source
0	0	A/D converter through LUT1 (Default)
1	0	Bits L1DA5–L1DA0 through LUT1
X	1	Bits D1DA7–D1DA0
*X = Don't Care Condition (May be either "1" or "0")		

数/模转换器 2 访问总结

L2DAS	D2DAS	Control Source
0	0	A/D converter through LUT2 (Default)
1	0	Bits L2DA5–L2DA0 through LUT2
X	1	Bits D2DA7–D2DA0
*X = Don't Care Condition (May be either "1" or "0")		

两个电流发生器共享一个模/数转换器，但查寻表、数/模转换器、控制位和选择位可完全独立设置。位 D1DAS 和 D2DAS 用于绕过模/数转换器和查寻表，允许对数/模转换器的输入端直接访问，数/模转换器分别在控制寄存器 3 和 4 中有相应字节。见图 9 和对控制位的描述。

控制寄存器 0 中的位 I1DS 和 I2DS 分别选择通过 I1 和 I2 引脚的电流的方向。见图 8 和控制位的描述。

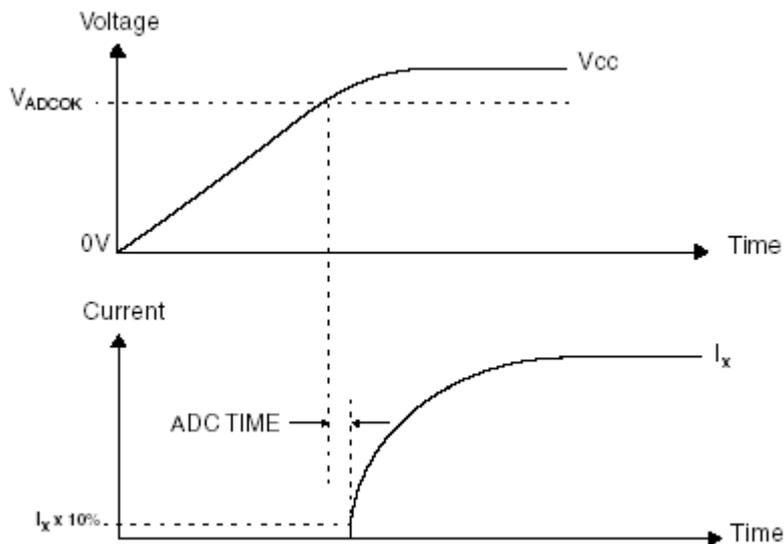
3. 4 上电复位

在对 X96012 的 Vcc 引脚加电时，且在数/模转换器的电流输出端使能之前器件将严格按时序工作。

在 Vcc 端的电压变得比上电复位门限电压(V_{POR})大时，器件将从非易失性存储器中调用所有控制位至易失性寄存器。接着，模拟电路也被通电。当 Vcc 端的电压高于第二路上电复位门限电压(V_{ADCOK})时，模/数转换器被使能。缺省的情况下，在模/数转换器进行 4 次连续的结果相同的转换之后，模/数转换器的输出端会从每个查寻表中选出一个字节。这些字节即为数/模转换器的输入端。在进行所有前面的时序期间，两个数/模转换器的输入端为 00h。如果 ADCFILTOFF 位被置“1”，则只需一个模/数转换器。位 D1DAS、D2DAS、L1DAS 和 L2DAS 也可修改在上电后第一次访问两个数/模转换器的方法，相关描述见“控制寄存器 5”。X96012 是一个可热拔插的器件。上电复位可处理 Vcc 引脚上的干扰电压，在热拔插应用时可正常工作。

图 11 数/模转换

器上电复位响应



3.5 串行接口

3.5.1 串行接口惯例

器件支持与双向总线有关的协议。该协议定义任何向总线发送数据的器件为发送器，接收数据的器件为接收器。控制信号传送的器件为主机，而被控制的器件称为从机。主机总是启动数据传送并提供发送和接收操作的时钟。因此，该 X96012 在所有应用中只能作为从机。

3.5.2 串行时钟和数据

只有当SCL为低时SDA数据线上的数据状态才允许改变。当SCL为高时SDA的状态改变作为开始和停止的条件（见图13）。在对X96012上电时，SDA引脚处于输入模式。

3.5.3 串行开始条件

所有的命令都由开始条件引导，它是一个当SCL为高时在SDA线上由高到低的跳变。器件不断监视SDA和SCL线上的开始条件，并且在没有遇到这个条件之前不响应任何命令。见图12。

3.5.4 串行停止条件

所有的通信必须以停止条件终止，它是一个当SCL为高时在SDA线上由低到高的跳变。在一次读操作后，停止条件也被用来将器件置入电源等待方式。只有在发送器释放总线后，才能发送一个停止条件。见图12。

3.5.5 串行应答

应答（ACK）是一个软件协议，用来表示数据传送成功。发送器件不管是主机还是从机，在发送 8 位数据后释放总线。在第 9 个时钟周期，接收器将 SDA 拉低，作为它已接收到 8 位数据的应答，见图 14。

在识别出一个开始条件和一个有效的从地址字节后，器件将以一个应答作为响应。一个有效的从地址字节必须包括器件类型标识符 1010，且器件地址位必须与引脚 A2、A1 和 A0 的逻辑状态相匹配。见图 16。

如果选择一个写操作，则在每收到连续的8位字后，器件将响应一个应答。

在读模式中，器件发送8位数据，释放SDA线，然后监控该线以检测应答。若有一个应答被检测到，器件会继续发送数据。若没有检测到应答，器件将终止进一步的数据发送。此时，主机必须发送一个停止条件来将器件置入已知状态。

X96012对所有引入的数据和地址字节均作出应答，除以下字节以外：1) 在“器件标识符”或“器件地址”错误时输入的“从地址字节”。2) 在“WEL”位为“0”时所有的“数据字节”，但地址为86h的“数据字节”除外。3) 在地址为80h、85h或86h的“数据字节”之后的“数据字节”。

图12 有效的开始和停止条件

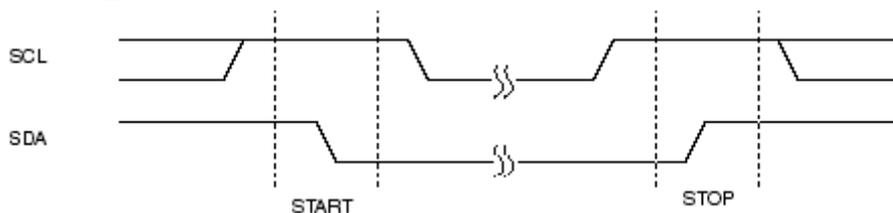


图13 SDA 总线上有效数据的变化

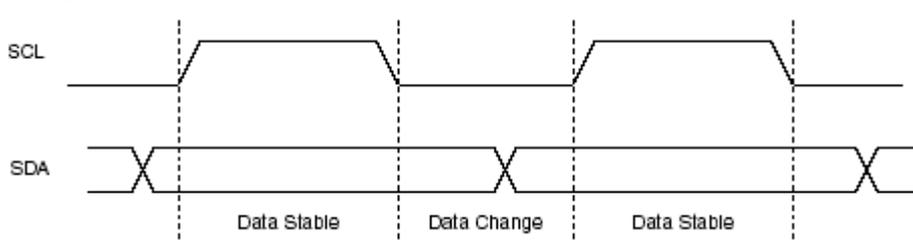
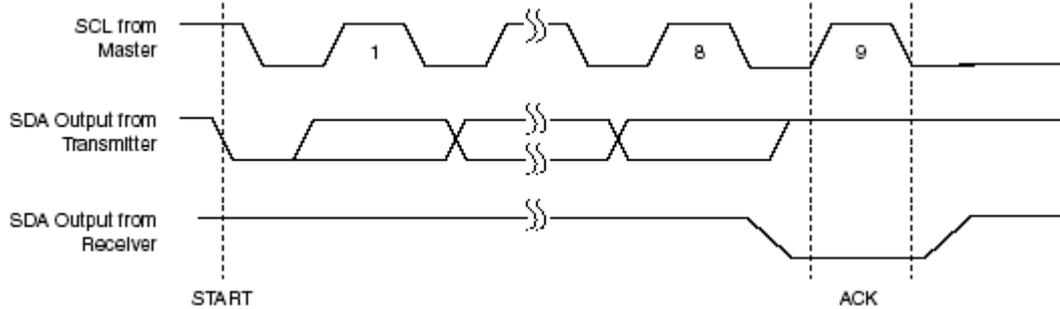


图 14 来自接收器的应答响应



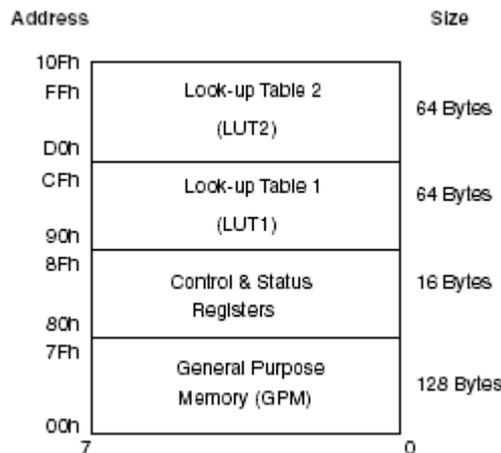
3. 6 X9601 存储器印象图

X96012 包含一个 2176 位的混合了易失性和非易失性存储器的存储阵列。该阵列可分为 4 个独立部分（参见图 15），它们是：

- 通用存储器（GPM）
- 查寻表 1（LUT1）
- 查寻表 2（LUT2）
- 控制和状态寄存器

GPM 是一个完全非易失性的 EEPROM，存储器地址为 00h 至 7Fh。

图 15 X9601 存储器印象图



X96012的控制和状态寄存器用于在系统中测试和调整器件。这些寄存器是易失性和非易失性存储器的结合，它们的存储器地址为80h 至8Fh。对位于80h 至 86h的寄存器中的保留位进行写操作时，必须写作“0”，对它们进行读操作时，它们应被忽略。不允许对位于88h至8Fh的寄存器中的保留位进行写操作，它们的内容应被忽略。

两个查寻表LUT1和LUT2是非易失性EEPROM，它们的存储器地址分别为90h–CFh和D0h–10Fh。这两个查寻表专门用于存储设置电流发生器I1和I2输出端的数据。

在出厂时，两个查寻表的所有位均被预先设置为“0”。

3. 7 器件寻址

3. 7. 1 寻址协议综述

所有串行接口操作必须以开始条件引导，接着是一个从地址字节。从地址字节选定 X96012 并规定是

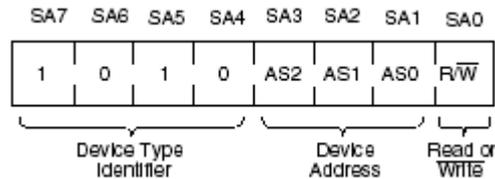
进行一次读操作还是一次写操作。

应注意的是为了对任何位进行一次写操作，写使能锁存位 (WEL) 必须首先被设定。(见14页的“WEL: 写使能锁存位”)。而且，所有越过2线串行总线与X96012的通信要先发送每个数据字节的MSB才能进行。

虽然2176位的存储器包括4个功能不同的部分，但在物理上，它还是一个邻接的阵列，包含17个页面，每页有16个字节。

X96012的2线协议提供一个地址字节，因此，只有256个字节可被直接寻址。以下的几节将解释如何访问不同的区域以进行读写操作。

图16 从地址 (SA) 格式



从地址位	描述
SA7-SA4	器件类型标识符
SA3-SA1	器件地址
SA0	读或写操作选择

3. 7. 2 从地址字节

在一个开始条件后，主机必须发出一个从地址字节 (见图 16)。这个字节包括以下三个部分：

-四个最高有效位 (MSBs) (SA7-SA4)是器件类型标识符。器件类型标识符必须总是置为 1010 以选定 X96012。

-紧接的三位 (SA3-SA1) 是器件地址位(AS2-AS0)。为了访问 X96012 存储器的任何部分，位 AS2、AS1 和 AS0 的值必须与分别引脚 A2、A1 和 A0 上的逻辑电平对应。

-LSB 位 (SA0) 是 R/\bar{W} 位。该位定义对被寻址的器件进行的操作。当 R/\bar{W} 位被置 1 时，选定一个读操作；置 0 时，选定一次写操作 (参见图 16)。

3. 8 写操作

3. 8. 1 非易失性写操作应答查询

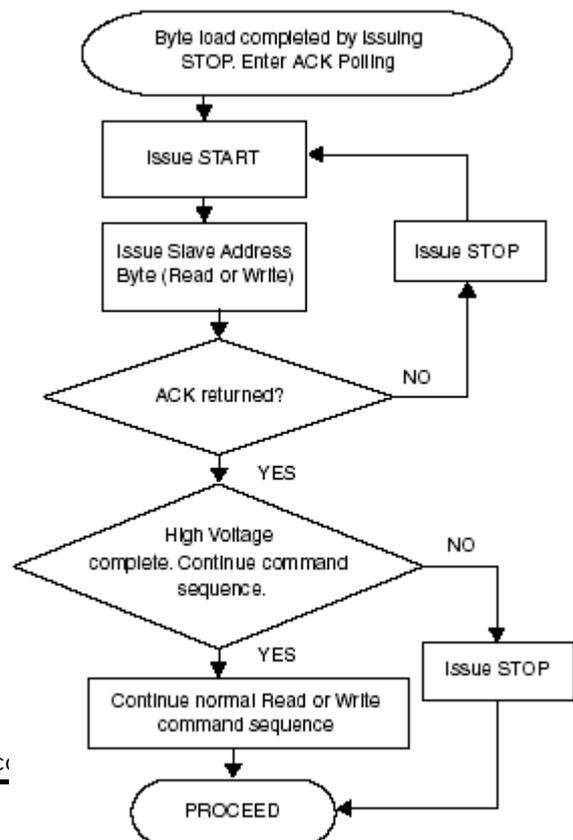
在发出一个正确的非易失性写命令时序 (包括最终的停止条件) 后，X96012启动一个内部高电平写周期，该周期的典型时间为5ms。为了确定高电平写周期是否完成，在这段时间内，任何读或写的命令都会被X96012的写操作应答查询忽略。

在应答查询期间，主机要首先发出一个开始条件后，接着发出从地址字节。从地址字节包含X96012的器件标识符和器件地址。在这种情况下，从地址字节的LSB位 (R/\bar{W}) 既可被置为1也可置为0。如果器件仍忙于高电平周期，则不返回任何应答。如果高电平周期完成，则返回一个应答，接着主机就可开始一次新的读或写操作 (参见图17)。

3. 8. 2 字节写操作

为了对存储阵列进行一次字节写操作，控制寄存器 6 的写使能锁存 (WEL) 位必须先置为 “1” (见 14 页的 “WEL: 写使能锁存位 (易失性)”)。

图 17 应答查询流程图

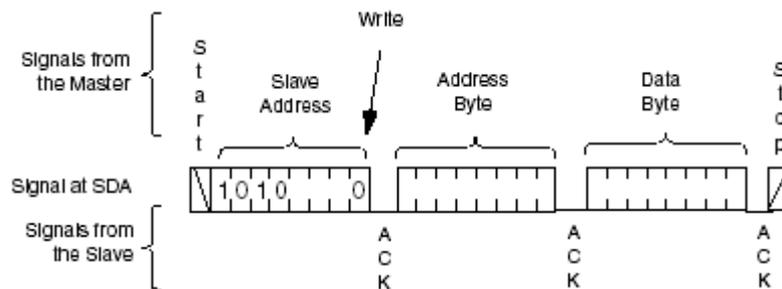


对任何字节写操作，X96012 要求有从地址字节、一个地址字节和一个数据字节（见图 18）。在每一个字节写操作之后 X96012 以一个应答作为响应。接着主机通过产生一个停止条件来终止传送。此时，如果所有数据位是易失的，X96012 将准备下一次的读或写操作。如果有些位是非易失性的，X96012 则开始对非易失性存储器进行内部写周期。在内部非易失性写周期期间，X96012 不响应来自主机的任何请求。SDA 输出端处于高阻状态。

在将地址字节分别设为 00h 至 FEh 时，一个字节写周期就可直接访问位于 00h 至 FEh 的字节。设置地址字节至 FFh 可访问位于 100h 的字节。其它的位于 FFh 和 101h 至 10Fh 的 16 个字节只可采用页面写操作来访问。位于 FFh 的字节也只能通过“页面写”操作来写入。

对字节地址为 80h 至 8Fh 的控制字节的写操作是个特例，将在“对控制寄存器的写操作”一节中描述。

图 18 字节写时序



3. 8. 3 页面写操作

在物理上 2176 位的存储阵列是一个邻接的阵列，包含 17 个页面，每页有 16 个字节。可对任一 GPM 或 LUT 页面进行“页面写”操作。为了对存储阵列进行一次页面写操作，控制寄存器 6 的写使能锁存位（WEL）必须首先被设定（见 14 页的“WEL：写使能锁存位（易失性）”）。

页面写操作以与字节写操作同样的方式开始；但是在第一个数据字节传送以后不终止写周期，主机可以发送多达 16 位字节的数据（见图 19）。在每个字节接收之后 X96012 将响应一个应答，而内部字节地址计数器则加 1。页面地址保持不变。当计数器达到本页的末尾时，它将反转并回到同一页的第一个字节位置。

例如，如果主机从地址 11（十进制）开始写入 12 个字节至 16 字节的页面，那么前 5 个字节写在地址 11 到 15，后 7 个字节写在那页的地址 0 到 6。写过之后，地址计数器指向地址 7。如果主机提供的数据多于 16 个字节，则 16 字节后的新数据会覆盖前面写的的数据，每次覆盖一个字节（见图 20）。

主机通过发送一个停止条件来终止数据字节的装载，并使器件开始非易失性写周期。当字节写操作时，所有的输入都被禁止，直到内部写周期完成。

不能对位于 80h 至 8Fh 的页面进行页面写操作。接下来一节将描述该特例。

以字节地址 FFh 为开始的一次页面写操作可访问位于 100h 至 10Fh 的页面。这类操作的第一个数据字节被写入地址 100h。

图 19 页面写操作

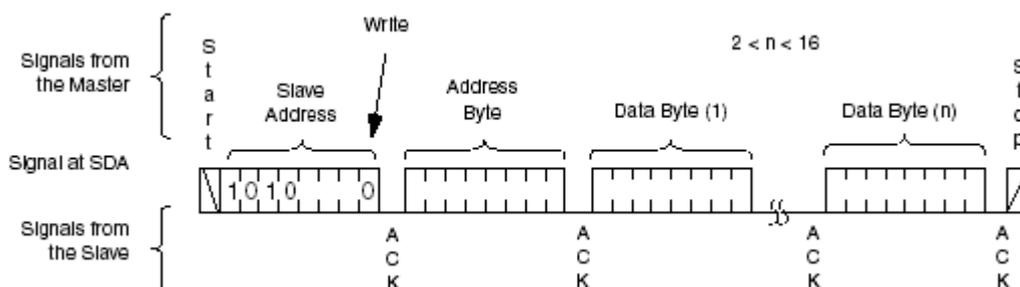
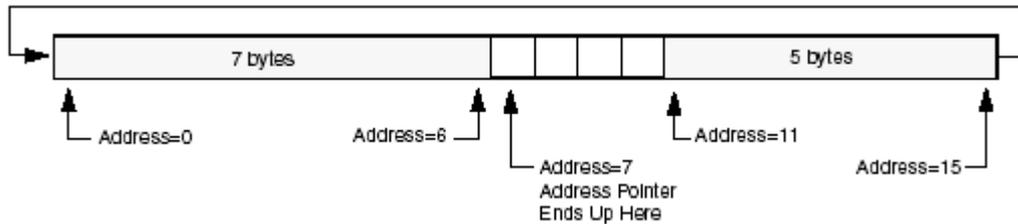


图 20 例：从地址 11 开始写入 12 个字节至一个 16 字节的页面



3. 8. 4 对控制寄存器进行写操作

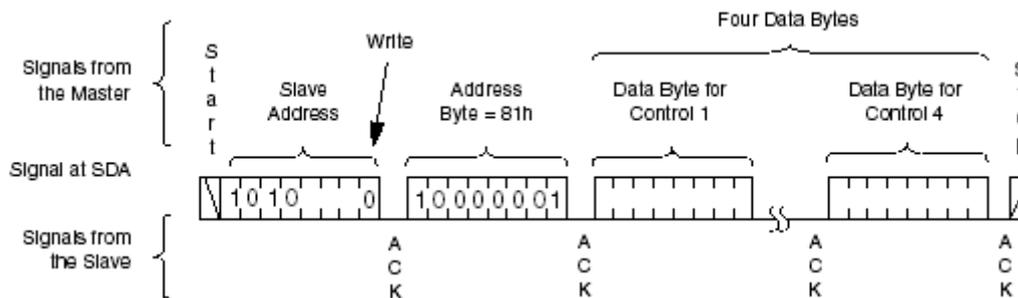
位于 80h、85h 和 86h 的字节可用字节写操作来写入，但不能用页面写操作写入。

控制字节 1 至 4，分别位于 81h 至 84h，可在一次单独的操作中被写入（见图 21）。该操作的时序是：先是开始条件，接着是一个 $\overline{R/\overline{W}}$ 位被置“0”的从地址字节，再是一个 81h 的地址字节，跟着是 4 个数据字节，最后是一个停止条件。第一个数据字节被写入地址 81h，第二个写入 82h，第三个写入 83h，最后一个被写入 84h。

控制寄存器 1 至 4 对每位都有一个非易失性单元和一个易失性单元。在上电时，非易失性单元的内容被自动调用并写入易失性单元中。易失性单元的内容控制着 X96012 的功能。如果控制寄存器 0 中的 NV1234 位被置为“1”，一次对这些寄存器的写操作将只写入易失单元。在这两种情况中，新写入的值有效地控制 X96012，但在第二种情况中，那些新写入的值在器件掉电时会丢失。

在上电期间，如果位 NV1234 置为“0”，则对控制寄存器 0 或 5 的一次字节写操作将导致控制寄存器 1 至 4 的非易失性单元的值被重新调用至它们相应的易失性单元中。这种情况在 \overline{WP} 引脚为低时不会发生，因为写保护已被使能。在对控制寄存器 1 至 4 写入之前，通常建议先配置控制寄存器 0 和 5。在读控制寄存器 1、2、3 或 4 时，即使 NV1234 位为“0”，数据字节也总为相应的非易失性单元的内容（见“控制和状态寄存器格式”）。

图 21 对控制寄存器 1、2、3 和 4 进行写操作



3. 9 读操作

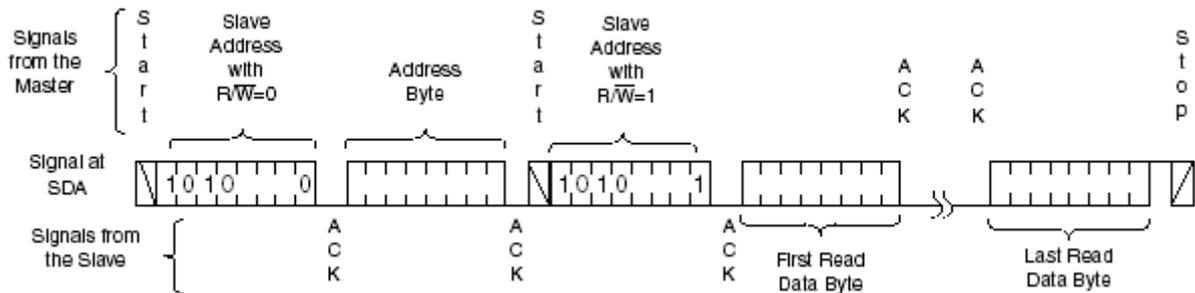
一次读操作包括一个 3 字节指令以及一个或一个以上的数据字节（见图 22）。主机通过发送以下时序来发起读操作：一个开始条件、 $\overline{R/\overline{W}}$ 位置“0”的从地址字节、一个地址字节、第二个开始条件和第二个 $\overline{R/\overline{W}}$ 位置“1”的从地址字节。在每三个字节之后 X96012 会响应一个应答。然后在每个字节的 8 位后面的 SCL 周期期间，只要主机响应一个应答，X96012 就会传送数据字节。在最后一个数据字节的最后一位之后，主机终止读操作（发送一个停止条件）（见图 22）。

数据字节来自被内部指针指向的存储器位置。该指针的初始值由读操作指令中的地址字节决定，且

在每个数据字节传送期间增加 1。在达到存储器的 10Fh 位置后，指针返转到 00h，并且器件在每收到一个应答后将继续输出数据。

在地址字节是 00h 至 FEh 时，读操作内部指针可在 00h 至 FEh 范围内的任何存储器位置开始。但如果地址字节是 FFh，指针从地址 100h 开始。在读取控制寄存器 1、2、3 或 4 时，即使 NV1234 位为“0”，数据字节也总为相应非易失性单元的内容（见“控制和状态寄存器格式”）。

图22 读时序



3. 10 数据保护

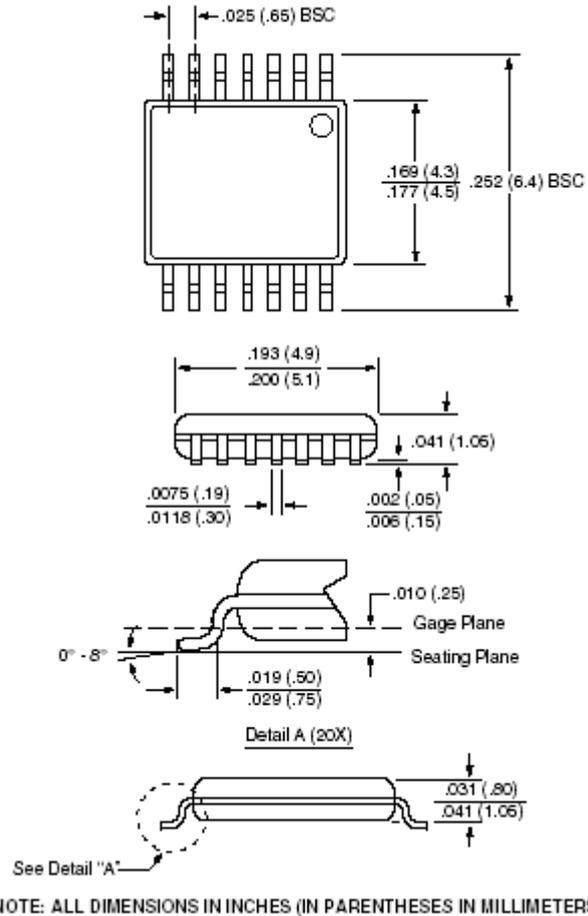
X96012 内设计有 4 种层次的数据保护：1) 对器件的任何写操作之前要求先设置控制寄存器 6 中的 WEL 位；2) 块锁可防止对存储器特定区域的写操作；3) 写保护引脚禁止对 X96012 的任何写入；4) 为了开始一个非易失性写周期，要求有正确的时钟计数、数据位时序和停止条件，否则 X96012 将忽略写操作。

WP：写保护引脚

在写保护 (\overline{WP}) 引脚有效 (低) 时，除对 WEL 位的写操作以外，对 X96012 的任何写操作被禁止。

四 封装信息

14-Lead Plastic, TSSOP, Package Code V14



声明： 本资料仅供参考。如有不同之处，请以相应英文资料为准。