

## 带看门狗、4K 位 EEPROM 的双电压监控芯片 X40420/X40421

### 一 概述

#### 1.1 描述

X40420/21 将上电复位、看门狗定时器、电源电压监控、第二路电压监控、手动复位、块锁 (Block Lock™) 保护的串行 EEPROM 集成在一个封装内。这种高度集成降低了系统成本、减少了电路板空间并且增加了可靠性。

向器件加电时激活了上电复位电路，它保持 RESET/ $\overline{\text{RESET}}$  有效一段时间，这可使电源和振荡器稳定，之后处理器执行代码。

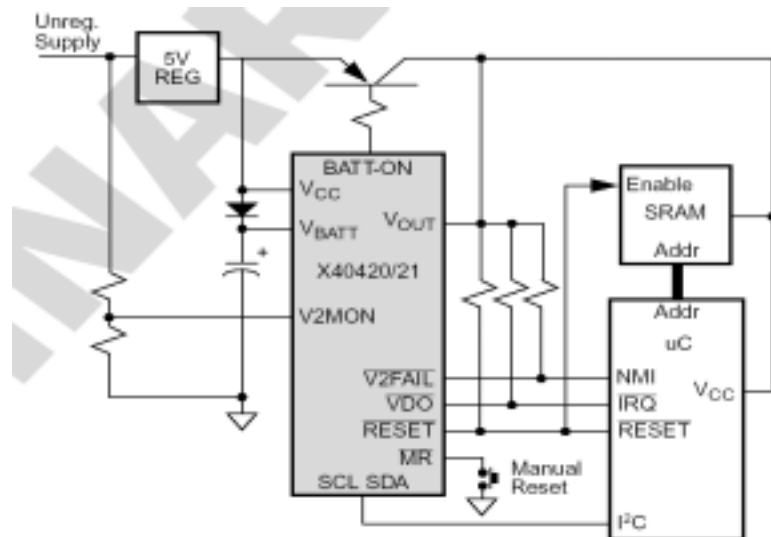
器件的低  $V_{CC}$  监控电路保护系统免受低电压影响，当  $V_{CC}$  电压降到最小的  $V_{TRIP1}$  点时，系统复位，RESET/ $\overline{\text{RESET}}$  信号有效，直到  $V_{CC}$  回到正常的工作电压并保持稳定。第二路电压监控电路监控未稳压的电源电压，产生电源失效报警，或者监控不同的电源电压。通常有三种电压组合。然而，XICOR 独有的集成电路允许对每一路监控电压的门限电压重新编程设定，以满足特殊的需要或者对高精度应用的门限电压进行精细调整。

手动复位输入具有去抖动电路。

电池切换电路将  $V_{CC}$  和输入的  $V_{BATT}$  比较，并将  $V_{OUT}$  与两者中电压较高的相连接。这为外部 SRAM 或其它电路在主电源失效时提供了电源。X40420/21 从  $V_{CC}$  得到 50mA 电流，从  $V_{BATT}$  可得到 250  $\mu$  A 电流。只有当  $V_{CC}$  降低到  $V_{CC}$  门限电压和  $V_{BATT}$  时，器件切换到  $V_{BATT}$ 。

看门狗定时器对微控制器提供了一个独立的保护机制。当系统故障时，系统没有在可选择的超时时间内启动看门狗定时器， $\overline{\text{WDO}}$  脚将有效。用户可从三个预置的超时时间值中选一个。一旦选定，即便在断电后重启电源也不会改变。

器件的存储器部分是具有 Xicor 块锁保护的 CMOS 4Kb 串行 EEPROM，该阵列的内部组织是  $\times 8$ 。器件的两线式接口和软件协议允许在两线总线上操作。器件使用了 Xicor 公司独有的 Direct Write™ 晶片，提供最小 100000 次擦写和最少为 100 年的数据保存期。



#### 1.2 特点

- 双电压监控
  - 三种标准复位门限 (4.6V/2.9V; 4.6V/2.6V; 2.9V/1.6V)
  - $V_{TRIP2}$  可通过编程到 0.9V
  - 可调整的复位门限电压 (用特殊的编程时序)
  - 复位有效到  $V_{CC}=1V$

- 监控两路电压或检测电源失效
- 备用电源切换功能
- $V_{OUT}$  :  $V_{CC}$  供电电流 5mA~50mA;  $V_{BAT}$  供电电流 250  $\mu$  A;
- 失效检测寄存器
- 可选择的上电复位输出时间 (0.05S; 0.2S; 0.4S; 0.8S)
- 可选择的看门狗复位周期 (25ms;200ms.1.4s;off)
- 手动复位输入
- 超低功耗 CMSO 工艺
  - 25  $\mu$  A 待机电流 (典型值, 看门狗定时器开)
  - 6  $\mu$  A 待机电流 (典型值, 看门狗定时器关)
  - 1  $\mu$  A 待机电流 (典型值, 备用电池模式)
- 4K bit EEPROM
  - 16 字节页写模式
  - 5ms 写周期 (典型值)
- 写保护功能
  - 上电/掉电保护电路
  - 块保护功能
- 400KHz 两线制接口 (兼容 I<sup>2</sup>C)
- 2.7V~5.5V 工作电压
- 封装: SOIC-14 和 TSSOP-14

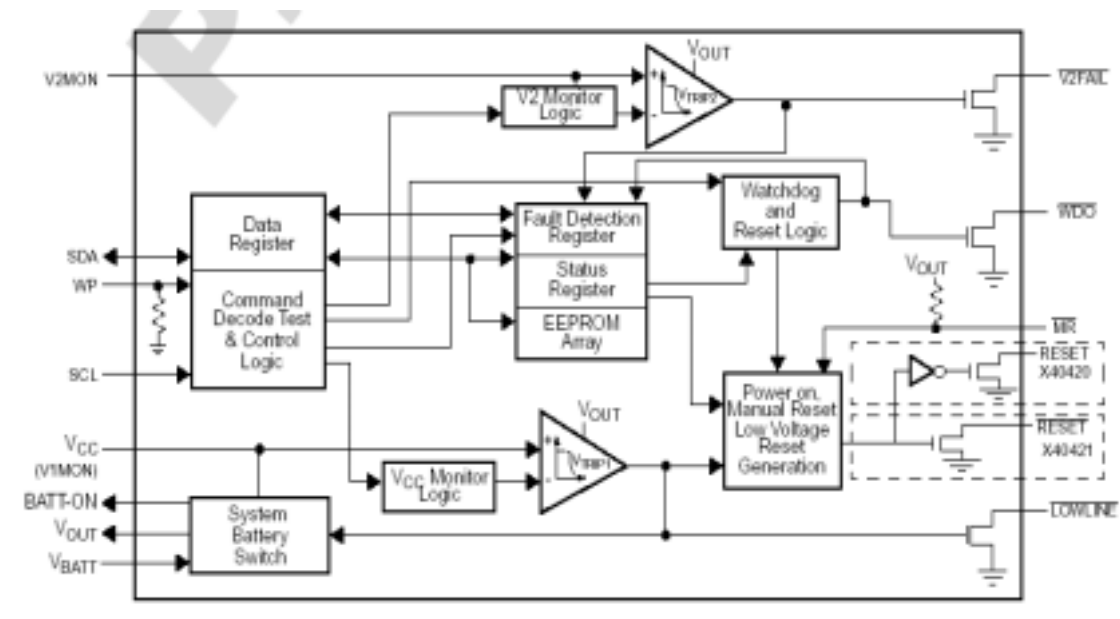
X40420/21 标准复位门限电压

标准 $V_{TRIP1}$ 电压	标准 $V_{TRIP2}$ 电压	后缀
4.6V( $\pm$ 1%)	2.9V( $\pm$ 1.7%)	-A
4.6V( $\pm$ 1%)	2.6V( $\pm$ 2%)	-B
2.9V( $\pm$ 1.7%)	1.6V( $\pm$ 3%)	-C

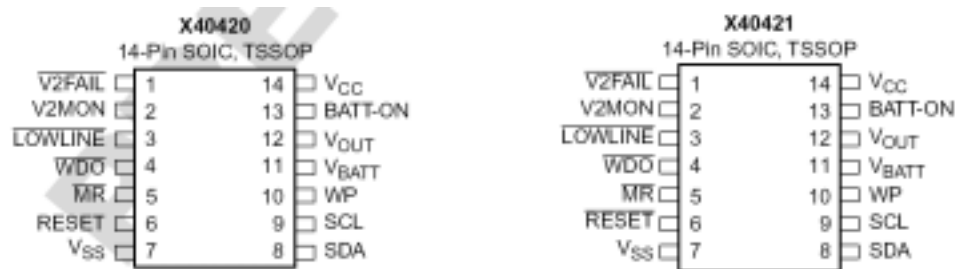
### 1.3 应用范围

通讯设备 (路由器, HUBS, 交换机, 磁盘阵列), 工业控制, 智能仪表, 计算机系统, 便携设备。

### 1.4 方框图



## 1.5 引脚排列及说明



引脚说明如下表

引脚	名称	功能
1	$\overline{V2FAIL}$	V2 电压失效输出。该引脚为漏极开路输出，当 V2MON 低于 $V_{TRIP2}$ 时该引脚为低，当 V2MON 超过 $V_{TRIP2}$ 时，该引脚变高电平。该引脚没有上电复位延时电路。
2	V2MON	V2 电压输入。当 V2MON 低于 $V_{TRIP2}$ 时 $\overline{V2FAIL}$ 为低。该输入可以通过外部电阻分压监测未稳压的电源或者监测第二路电源而无需外部器件。若该引脚未用，请连到 Vcc 或 Vss。
3	$\overline{LOWLINE}$	电源电压预先检测。漏极开路输出，当 $V_{CC} < V_{TRIP1}$ 时，该引脚为低电平，当 $V_{CC} > V_{TRIP1}$ ，该引脚通过一个外接的上拉电阻被拉高。
4	$\overline{WDO}$	$\overline{WDO}$ 输出。低电平有效。当看门狗定时器超时有效。
5	$\overline{MR}$	手动复位输入。将 $\overline{MR}$ 拉低产生系统复位。在该引脚释放前并经过一个 $t_{PURST}$ 延时，RESET/ $\overline{RESET}$ 将保持高/低电平
6	RESET/ $\overline{RESET}$	$\overline{RESET}$ 输出 (X40421)。低电平有效输出。当 Vcc 降到 $V_{TRIP1}$ 以下时，或者产生手动复位信号时，该引脚变为低电平。上电复位时在可编程的时间 $t_{PURST}$ 内保持有效。在手动复位释放后 $t_{PURST}$ 时间内有效。 RESET 输出 (X40420)。高电平有效输出。当 Vcc 降到 $V_{TRIP1}$ 以下时，或者产生手动复位信号时，该引脚变为高电平。上电复位时在可编程的时间 $t_{PURST}$ 内保持有效。在手动复位释放后 $t_{PURST}$ 时间内有效。
7	Vss	地
8	SDA	串行数据。SDA 是双向数据输入输出的 I/O 脚。它是漏极开路输出，因此可以与其它漏极开路输出端或或集成电路或。该引脚需要一个上拉电阻，它的输入缓冲区总是有效的。 看门狗输入。当 SDA 脚有个从高到低的跳变时重新启动看门狗定时器，在看门狗超时时间内 SDA 脚不产生从高到低的跳变， $\overline{WDO}$ 脚有效。
9	SCL	串行时钟。串行时钟控制串行数据输入输出的时序。
10	WP	写保护。WP 脚高电平阻止向器件任何位置写入（包括所有寄存器）。该引脚内部有一个下拉电阻（典型值大于 10M $\Omega$ ）
11	$V_{BATT}$	电池电源输入。当 Vcc 电源电压失效后该引脚提供一个备份电源。如果该引脚未用，应当接地。
12	$V_{OUT}$	输出电压 (V)。当 $V_{CC} > V_{TRIP1}$ , $V_{OUT} = V_{CC}$ ;当 $V_{CC} < V_{TRIP1}$ , 如果 $V_{CC} > V_{BATT} + 0.03V$ , 则 $V_{OUT} = V_{CC}$ , 否则 $V_{OUT} = V_{BATT}$ 。 注意: 输出的电压在 $V_{BATT} + 0.03V$ 点有滞后特性。 $V_{OUT}$ 引脚必须接一个 0.1 $\mu F$ 的电容以保证电压的稳定性。
13	BATT-ON	电源状态。CMOS 输出。该引脚当 $V_{OUT}$ 切换到 $V_{BATT}$ 时变为高电平，当 $V_{OUT}$ 切换到 $V_{CC}$ 时变为低电平。当 $V_{CC} = V_{OUT}$ 并且需要的电流大于 50mA 时，该引脚可以用外接一个 PNP 获得大的驱动电流。当 Vcc 失效时，电池供电 $V_{OUT}$ 切换到 $V_{BATT}$ ，并且外部晶体管被断开。在“备份电池”供电状态下，电池仅向 SRAM 器件提供足够的电压和电流，防止数据丢失。
14	Vcc	电源电压。

## 二 工作原理

### 2.1 上电复位

向 X40420/21 加电时会激活一个“上电复位电路”，它将使 RESET/ $\overline{\text{RESET}}$  引脚有效，该信号有几个用途：

- 它避免系统的微处理器在电压不足的情况下工作。
- 它避免微处理器在振荡器稳定前工作。
- 它让电路在初始化前有时间为 FPGA 下载它的配置。
- 在电压上升时它避免与 EEPROM 通信，大大减少了数据丢失现象。

当  $V_{CC}$  超过器件的  $V_{TRIP1}$  复位门限值后经过  $t_{PUSRT}$ （用户可选择）时间后，电路释放 RESET/ $\overline{\text{RESET}}$  引脚，允许系统开始工作。

### 2.2 手动复位

通过一个按键将  $\overline{\text{MR}}$  脚直接与地连接在一起，设计者增加了手动复位功能。当按键闭合时， $\overline{\text{MR}}$  脚为低电平，RESET/ $\overline{\text{RESET}}$  引脚在  $t_{PUSRT}$  时间内保持高/低电平， $\overline{\text{MR}}$  脚要接一个小阻值上拉电阻。

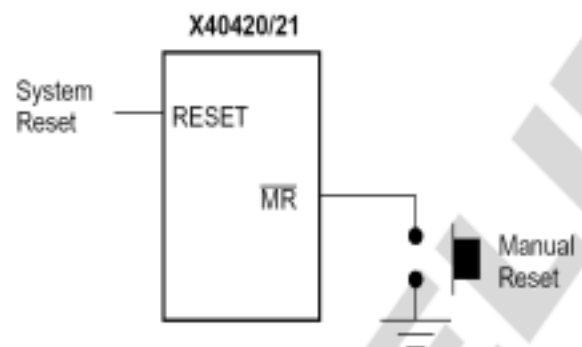
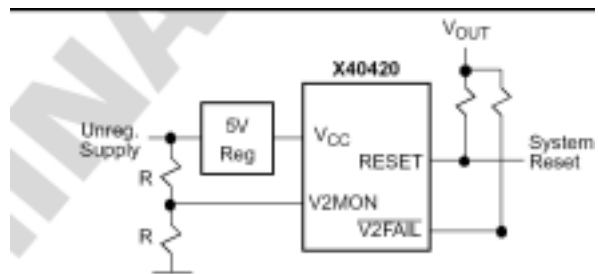


图 1 连接一个手动复位按键

### 2.3 $V_{CC}$ 低电压( $V_1$ 监控)

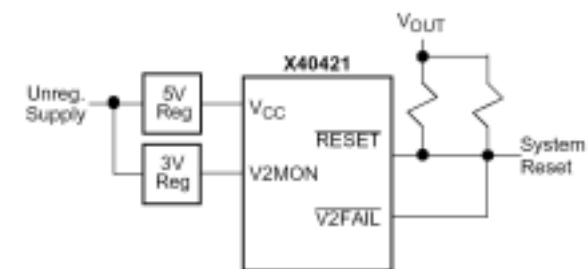
在工作期间，X40420/21 监控  $V_{CC}$  电压并且当  $V_{CC}$  降到预先设置的  $V_{TRIP1}$  最小值以下时，产生复位信号。复位信号阻止微处理器在电源失效的情况下工作。 $\overline{\text{V1FAIL}}$  信号在电源电压降到 1V 之前保持有效，在  $V_{CC}$  上升并超过  $V_{TRIP1}$  门限电压  $V_{TRIP1}$  时间内也保持有效。



Resistors selected so 3V appears on V2MON when unregulated supply reaches 6V.

### 2.4 $V_2$ 低电压监控

X40420/21 也监控第二路电压并且当它降到预先设置的  $V_{TRIP2}$  最小值以下时，保证  $\overline{\text{V2FAIL}}$  有效。 $\overline{\text{V2FAIL}}$  信号或复位信号阻止微处理器在电源失效的情况下工作或警告微处理器电源接近失效。 $\overline{\text{V2FAIL}}$  信号在电源电压降到 1V 之前保持有效，在  $V_{CC}$  上升并超过  $V_{TRIP1}$  门限电压  $V_{TRIP1}$  时间内也保持有效。



Notice: No external components required to monitor two voltages.

图 2 多电压监控的两种用法

$V_{2MON}$  电压监控由  $V_{OUT}$  提供电源。若  $V_{CC}$  和  $V_{BATT}$  失效，则不能对  $V_{2MON}$  进行监控。

### 2.5 看门狗定时器

看门狗定时器通过 SDA 和 SCL 引脚来监视微处理器是否工作正常。微处理器必须周期

性的触发。一个标准的对任何从地址的读或写时序将重新启动看门狗定时器，使  $\overline{WDO}$  引脚失效。复位看门狗定时器的最小时序要求 4 个微处理器指令，分别为启动、高电平时钟信号、低电平时钟信号、停止。在 X40420/21 的状态寄存器中有两个非易失性控制位可以决定看门狗的超时周期。微处理器可以通过写 X40420/21 的控制寄存器来改变这些控制位。

## 2. 6 V1 和 V2 门限电压编程过程（可选）

X40420/21 出厂已预先设置标准的 V1、V2 门限电压  $V_{TRIP1}$ 、 $V_{TRIP2}$ 。在正常的操作和存储条件下预先设定的值不会改变。但是，在应用场合标准的门限电压不一定最合适，或者需要更高精度的门限电压值，X40420/21 的门限电压值是可以调整的。调整过程如下所述，并且采用了一个高电压的控制信号。

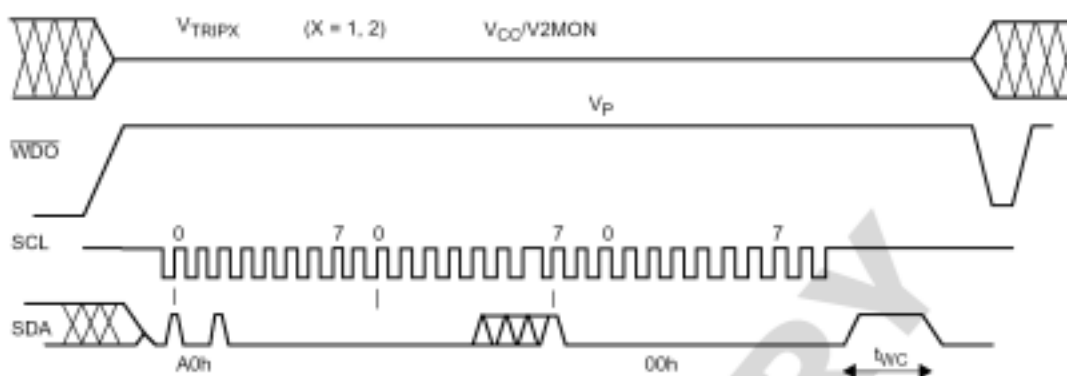


图 3  $V_{TRIPX}$  设置/复位条件

### 2. 6. 1 设置一个 $V_{TRIPX}$ 电压值 (X=1, 2)

有两种方法用来设置一个门限电压值  $V_{TRIPX}$ ，这取决于要设定的值是高于还是低于当前的值。例如，如果当前的  $V_{TRIPX}=2.9V$ ，新的  $V_{TRIPX}=3.2V$ ，新的  $V_{TRIPX}$  可以直接存储在  $V_{TRIPX}$  单元，然而如果新的  $V_{TRIPX}$  值如果低于当前值，则需要在设置新值之前复位  $V_{TRIPX}$  电压。

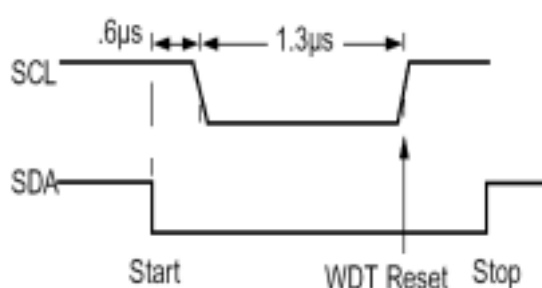


图 4 看门狗重新启动

### 2. 6. 2 设置一个更高的 $V_{TRIPX}$ 电压 (X=1, 2)

为了设置一个比当前门限电压值更高的  $V_{TRIPX}$ ，用户必须将期望的  $V_{TRIPX}$  电压值加在相应的输入脚 ( $V_{CC}(V1MON)$ 、 $V2MON$ )。在 SDA 引脚上发出 START 信号之前在  $\overline{WDO}$  脚加编程电压  $V_p$ ，接着在 SDA 引脚发出地址 A0H，紧接着写 01H 或 09H (01H 代表  $V_{TRIP1}$ ，09H 代表  $V_{TRIP2}$ )，再接着写 00H 表示编程  $V_{TRIPX}$ 。在有效的写操作编程时序后有一个 STOP 位。 $\overline{WDO}$  脚必须被设成低电平以完成门限电压编程操作。

为了检查设置的新  $V_{TRIPX}$  是否有效，使  $V_{XMON}$  电压稍高于预先设置  $V_{TRIPX}$ ，慢慢降低  $V_{XMON}$  值并且观察相关的输出 ( $\overline{LOWLINE}$  和  $\overline{V2FAIL}$ ) 切换。电压切换点是事实上的门限电压  $V_{TRIPX}$ 。

情况 A:

如果期望的  $V_{TRIPX}$  高于事实上的  $V_{TRIPX}$ ，应当将  $V_{TRIPX}$  (期望值) -  $V_{TRIPX}$  (事实值) 的差值加到最初期望的  $V_{TRIPX}$  值上，重复一次上述步骤 (见图 5)。

情况 B:

如果事实上的  $V_{TRIPX}$  高于期望的  $V_{TRIPX}$ ，完成以下部分叙述的复位时序。加在  $V_{XMON}$

上的新  $V_{TRIPX}$  值应当为:  $V_{TRIPX}$  (期望值) - ( $V_{TRIPX}$  (事实值) -  $V_{TRIPX}$  (期望值))。

注意:

- 1) 操作不影响存储器阵列。
- 2) 当对  $V_{TRIP2}$  编程时, 设置  $V_{CC}=5V$ 。

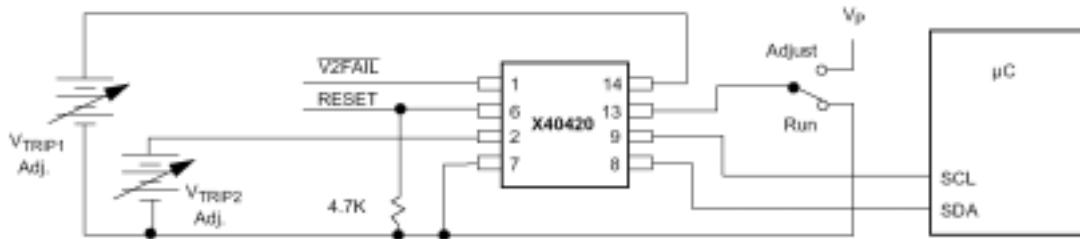


图 5  $V_{TRIP}$  复位设置电路

### 2. 6. 3 设置一个更低的 $V_{TRIPX}$ 电压 (X=1, 2)

为了设置一个比当前门限电压值更低的  $V_{TRIPX}$ ,  $V_{TRIPX}$  必须按照下述过程“复位”。一旦  $V_{TRIPX}$  被复位,  $V_{TRIPX}$  可以通过“设置一个更低的  $V_{TRIPX}$  电压”设置成期望的电压值。

### 2. 6. 4 复位 $V_{TRIPX}$ 电压

为了复位一个  $V_{TRIPX}$  电压, 在 SDA 引脚上写 START 信号之前, 在  $\overline{WDO}$  引脚施加编程电压 ( $V_p$ ), 在 SDA 引脚写从地址 A0H 之后写字节地址 (03H 代表  $V_{TRIP1}$ , 0BH 代表  $V_{TRIP2}$ ), 之后是 00H 以便复位  $V_{TRIPX}$ , 在有效的写操作编程时序后有一个 STOP 位。  $\overline{WDO}$  脚必须被设为低电平以完成门限电压编程操作。

在被复位后,  $V_{TRIPX}$  通常变为 1.7V 甚至更低。

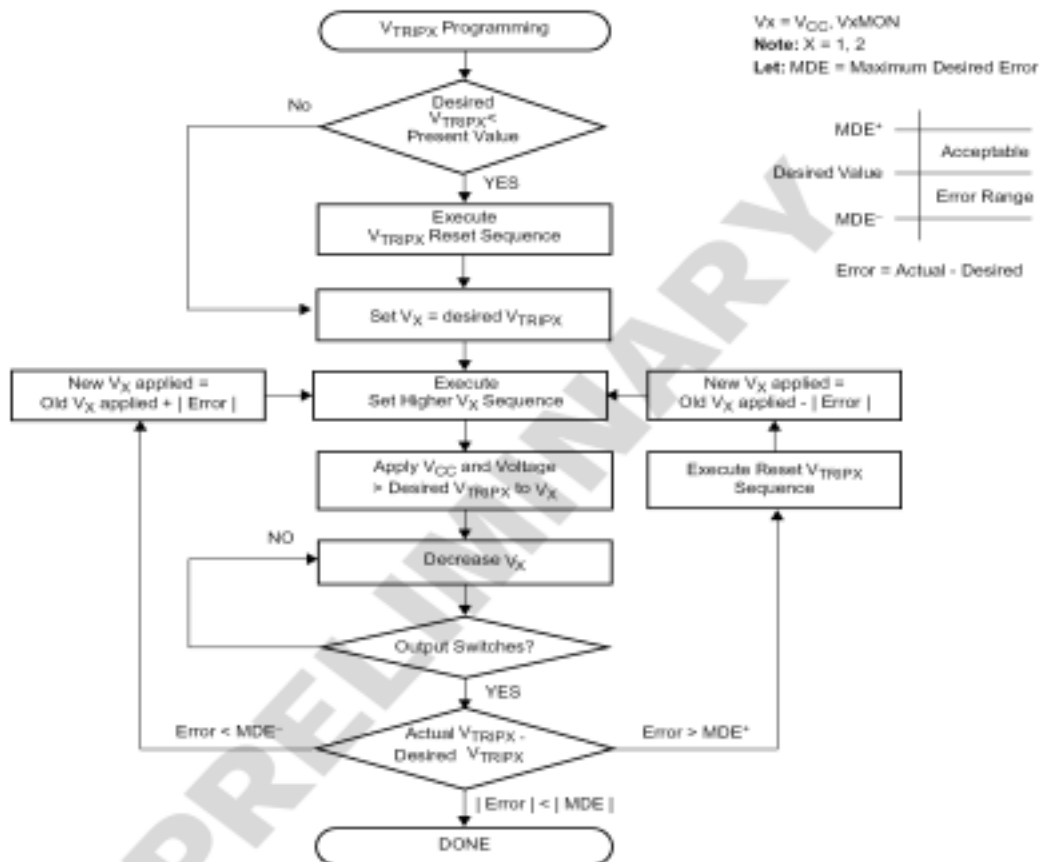


图 6  $V_{TRIPX}$  设置/复位流程 (X=1, 2)

## 2. 7 备份电池切换

只要  $V_{cc}$  超过预设的门限电压  $V_{TRIP1}$ ,  $V_{OUT}$  通过一阻值为 5 (典型值) 欧姆切换开关的连接到  $V_{cc}$  上。当  $V_{cc}$  降低到低于门限电压  $V_{TRIP1}$  值时, 如果  $V_{cc}$  等于或大于  $V_{BATT}-0.03V$ ,  $V_{cc}$  连到  $V_{OUT}$  上;  $V_{cc}$  降低到低于  $V_{BATT}-0.03V$  时,  $V_{BATT}$  通过一阻值为 80 欧姆 (典型值) 切换开关的连接到  $V_{OUT}$  上。 $V_{OUT}$  为系统静态 RAM 在主电源失效时提供了电源。通常在电源失效时静态 RAM 进入低功耗状态。当  $V_{cc}$  返回到  $V_{BATT}+0.03V$  时,  $V_{OUT}$  开关切换到  $V_{cc}$ 。当  $V_{cc}$  连接到  $V_{OUT}$  上时,  $BATT-ON$  引脚被拉低。信号可以驱动外部的 PNP 三极管为外部电路的正常操作提供额外的电流。

### 操作:

只要  $V_{cc} > V_{TRIP1}$ , 器件处于正常工作模式。当  $V_{cc}$  失效时切换到电池备份模式。

条 件	操作模式
$V_{cc} > V_{TRIP1}$	正常操作
$V_{cc} > V_{TRIP1}$ & $V_{BATT}=0$	正常操作无电池备份性能
$0 \leq V_{cc} \leq V_{TRIP1}$ and $V_{cc} < V_{BATT}$	电池备份模式。对器件的操作被禁止

## 2. 8 控制寄存器

控制寄存器提供了一个用户对块锁保护和看门狗定时器设置进行修改的机制。对块锁保护和看门狗定时器设置的修改是非易失性的, 不随掉电上电而改变。

控制寄存由位于地址 1FFH 的从字节 (1011) 中的特殊引导程序访问。控制寄存器的修改只能通过直接向寄存器地址写一个字节的操作来完成, 并且每次寄存器写操作只允许一个字节。在向控制寄存器写之前, 必须用两步来设置 WEL 和 REWL 位, 整个过程需要三步。请见“写控制寄存器”一节。

在送字节到控制寄存器初始化非易失性位  $WD1$ 、 $WD0$ 、 $PUP1$ 、 $PUP0$  和  $BP$  之后, 用户必须发一个停止位。在第一个字节写入之后, X40420 不接受任何字节的写操作。

在任何时候, 用特殊的引导程序在地址 1FFH 完成一次随机读之后, 可以读出控制寄存器的状态。每次寄存器读操作只能读出一个字节。主机必须提供一个与总线协议相符的停止条件, 但结束本次操作并不一定需要停止 (STOP) 信号。

### 2. 8. 1 控制寄存器的各位定义

7	6	5	4	3	2	1	0
PUP1	WD1	WD0	BP	0	REWL	WEL	PUP0

#### REWL: 寄存器写使能锁存 (易失性的)

REWL 必须在要向控制寄存器写入前置“1”。

#### WEL 写使能锁存 (易失)

WEL 位控制向存储器的访问以及写操作时对寄存器的访问。该位时易失的, 上电时处于低电平 (禁止) 状态。当 WEL 为低电平时, 向任何地址包括控制寄存器的写入将被忽略 (在数据字节之后将不发应答信号)。WEL 位的设置要通过写“1”至控制寄存器的 WEL 位, 而其它位均为 0。一旦置 1, WEL 位将保持置 1 除非要被复位至 0 (通过写“0”至 WEL 位以及 0 至其它各位) 或者直到器件再次上电。向 WEL 器件写入并不引起非易失性写周期, 因此在停止条件之后器件立即就做好了下一次操作的准备。

#### BP: 块保护位 (非易失)

块保护位 BP 决定阵列中哪些块是受保护的。向存储器的保护块进行写操作将被忽略。

块保护位将可以保护对存储器阵列的一半空间。

BP	保护地址	存储阵列块锁
0	无	无
1	100H~1FFH	存储阵列的一半（高端地址）

**上电位 PUP1、PUP0：上电复位（非易失）**

上电位决定上电得位的延时时间  $t_{PURST}$ ，通常上复位延时时间如下表所示。

PUP1	PUP0	上电复位延时时间 $t_{PURST}$
0	0	50ms
0	1	200ms（缺省）
1	0	400ms
1	1	800ms

**WD1、WD0：看门狗定时器位。**

WD1 和 WD0 控制看门狗定时器的超时周期。如下表所示。

WD1	WD0	看门狗超时周期
0	0	1.44s
0	1	200ms
1	0	25ms
1	1	禁止（出厂设置）

## 2. 8. 2 写控制寄存器

改变控制寄存器中的任何非易失性位需要以下步骤：

—写 02H 到控制寄存器将 WEL 位置 1。这是一次易失性操作，因此在写操作后无延迟（之前应当有开始信号，结束后应有停止信号）。

—写 06H 到控制寄存器，将 REWL 和 WEL 两位都置 1。这也是一次易失性操作，数据字节中的各个 0 是必须的（之前应当有开始信号，结束后应有停止信号）。

—写一个值到控制寄存器，这个值使各控制位设置成所需的状态。这可以用二进制表示为  $qxys001r$ ，其中  $xy$  是 WD 位， $s$  是 BP 位， $qr$  是上电位。操作时应当有开始信号在前，停止信号在后。因为这是一次非易失性操作，需要 10ms 才能完成。在这次操作中，RWEL 位被复位，并且操作必须被重复以再次改变非易失性位。如果位 2 在第 3 步操作（ $qxys001r$ ）中被置 1，那么 RWEL 位被置 1，但是 WD1、WD0、PUP1、PUP0 和 BP 位保持不变。写第二字节至控制寄存器是不允许的。如果这样做将终止写操作并返回一个 NACK。

—在前面的各次操作之间发生一次读操作将不影响寄存器的写操作。

—对控制寄存器中的非易失性位写操作才能复位 RWEL 位，上电复位或对存储器的保护块写操作也能复位 RWEL 位。

例如：向器件顺序写入 02H、06H、02H 将复位所有非易失性位为 0。顺序写入 02H、06H、06H 将不必改变非易失性位并保持 RWEL 为 1。

注意：1、 $t_{PURST}$  出厂设置为 200ms。

2、看门狗定时器出厂设置为禁止状态。

## 2. 9 失效检测寄存器（FDR）

失效检测寄存器用来保存导致系统复位的状态。手动复位失效、看门狗定时器失效以及低压失效位是易失的。

7	6	5	4	3	2	1	0
LV1F	LV2F	0	WDF	WRF	0	0	0



FDR 可以通过位于 0FFH 的从字节 1011 中的特殊引导程序访问。每一次对寄存器写操作只能写入一个字节，只能通过对寄存器地址直接写操作才能修改 FDR 的值。

访问失效检测寄存器时没必要设置控制寄存器的 WEL 和 RWEL 位。

在上电时，失效检测寄存器缺省为全“0”，系统需要在监控的复位源有效前初始化寄存器为全“1”，监控的复位源任何一个有效时，寄存器中的相应位从“1”变为“0”。此时系统应当进行一个读操作并记录复位源。在读操作后应当复位 FDR 的各位为全“1”。失效检测寄存器的状态可以在任何时候通过特殊的引导程序对地址 0FFH 进行随机读操作读出。

一次寄存器读操作只能读一个字节数据。

MRF——手动复位失效位（易失的）

当手动复位输入有效时，MRF 位被置成“0”。

WDF——看门狗定时器失效位（易失的）

当看站狗定时器有效时，MRF 位被置成“0”。

LV1F——低 V<sub>CC</sub> 电压复位失效位

当 V<sub>CC</sub> (V1MON) 降到 V<sub>TRIP1</sub> 以下时，LV1F 位被置成“0”。

LV2F——低 V2MON 复位失效位

当 V2MON 降到 V<sub>TRIP2</sub> 以下时，LV2F 位被置成“0”。

## 2. 10 串行接口

### 2. 10. 1 接口惯例

器件支持与双向总线有关的协议。该协议定义任何发送数据的器件为发送器，接收数据的器件为接收器。控制信号传送的器件为主机而被控制的器件称为从机。主机总是启动数据传送并提供发送和接收操作的时钟，所以 X40420/21 在所有应用中只能作为从机。

### 2. 10. 2 串行时钟和数据

只有当 SCL 为低时 SDA 数据线上的数据才允许改变。当 SCL 为 HIGH 时 SDA 的状态改变作为开始（start）和停止（stop）条件，见图 7。

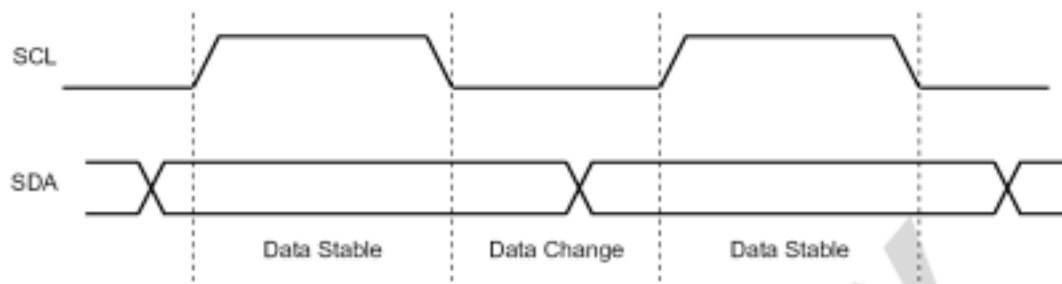


图 7 SDA 总线上有效的数据改变

### 2. 10. 3 开始条件

所有的命令都由开始条件引导，它是一个当 SCL 为高时在 SDA 线上由高到低的跳变。器件不断监视 SDA 和 SCL 线上的开始条件，并且在没有遇到这个条件之前不响应任何命令，见图 8。

### 2. 10. 4 停止条件

所有的通信必须以停止条件来终止，它是一个当 SCL 为高时在 SDA 线上由低到高的跳变。在一次读操作后，停止条件也被用来将器件置入电源等待方式，在发送器释放总线后，只能发送一个停止位，见图 8。

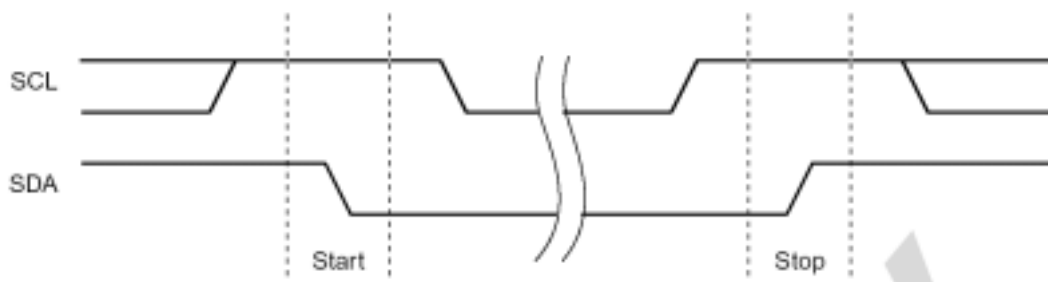


图 8 有效的起始和停止条件

## 2. 10. 5 串行应答

应答是一个软件协议，用来表示数据传送成功。发送器件不管是主机还是从机，在发送 8 位数据后释放总线。在第 9 个时钟周期，接收器将 SDA 拉低作为它已接收到 8 位数据的应答，见图 9。

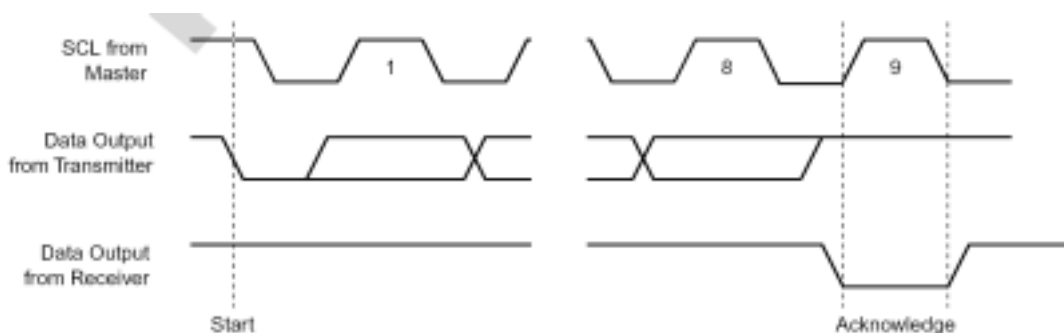


图 9 接收器件的应答响应

当识别出开始条件后，并且如果包括在从机地址字节中的器件辨识符和选择位是正确的，器件将以一个应答作为响应。如果选择一个写操作，则在每收到连续的 8 位后，器件将响应一个应答。除非当收到从机地址字节是时器件的辨识符或选择位不正确，器件都将对输入的数据和地址字节作出应答。

在读方式，器件将发送 8 位数据，释放 SDA 线，然后监视线上的应答，如果检测到一个应答而主机又不产生停止条件，器件将继续发送数据。如果没有检测到应答，器件将终止进一步的数据发送。主机必须接着发送一个停止条件使器件返回到等待方式。

## 2. 10. 6 串行写操作

### (1) 字节写

对于一次写操作，器件需要一个字节的从地址和一个字的字节地址。这使主机可访问存储阵列的任何位置。在收到字节地址以后，器件响应一个应答，并等待接着的 8 位数据。在收到 8 位数据字节后，器件再响应一个应答。然后主机通过产生一个停止条件以终止传送，在这时器件将不再响应主机的任何请求，SDA 输出端处于高阻抗，见图 10。

对存储器保护块的写操作会取消应答位。

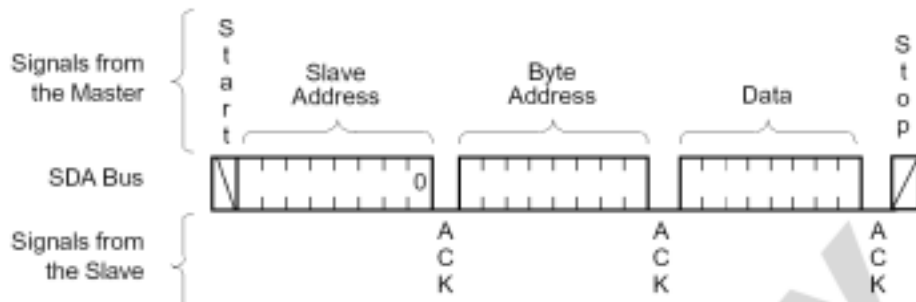


图 10 字节写时序

### (2) 页面写

器件能够进行页面写操作。它以与字节写的同样方式初始化；但是在第一个数据字节传送以后不终止写周期，主机可以发送数目不受限制的 8 位字节数据。在每个字节接收之后器件将响应一个应答，而地址则内部自动加 1。页地址保持不变。当计数器达到本页的末尾时，它将反转并回到同一页的“0”位置。这表示主机可以向页内写 16 个字节，不管从该页的哪个地址开始。如果主机从地址 10 开始写入 12 个字节，那么前 6 个字节写在地址 10 到 15,后 6 个字节写在地址 0 到 5。写过之后，地址指针指向位置 7。如果主机提供的数据多于 16 字节，则十六字节之后的新数据将覆盖前面写的的数据，每次写一个字节。

主机通过发送一个停止条件来终止数据字节的装载，并使器件开始新的非易失性写周期。当字节写操作时。所有的输入都被禁止，直到内部写周期完成。地址、应答和数据传送过程见图 11。

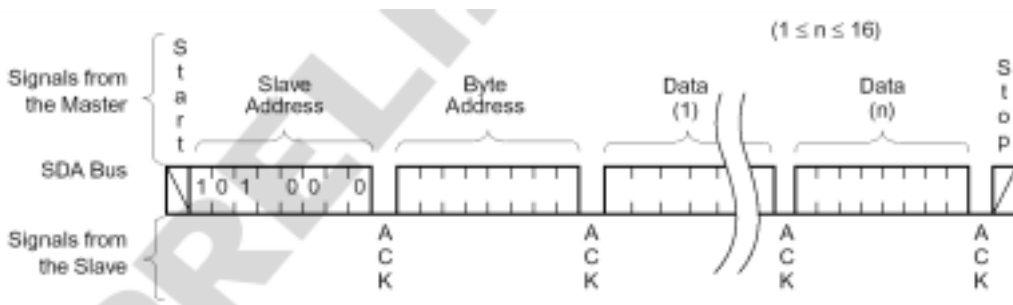


图 11 页写操作时序

### (3) 停止和写方式

要终止写操作，主机必须在发送完一个字节的的数据和随后收到的应答信号之后送出停止条件。如果在一个数据字节的中间或者在一个数据字节和必要的应答送出以前发出一个停止条件，则该器件在未完成写操作时就复位，则写操作无效，存储阵列内容不变。

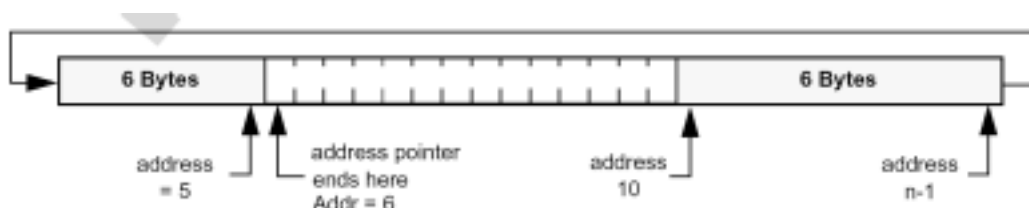


图 12 写 12 个字节数据到一个 16 字节的页（起始地址为 10）

#### (4) 应答查询

在高电平周期，输入端被禁止，写周期典型时间为 5ms。一旦主机的字节装载操作结束发出停止条件，器件即开始内部的非易失性写周期。这时可立即启动应答查询。为了做到这一点，主机发出一个开始条件后，接着发一个用于写或读操作的从地址字节。如果器件仍忙于非易失性写周期，则不返回任何应答信号。如果器件已完成了写操作，则返回一个应答，而主机可以开始读或写操作。请参见图 13 的应答流程图。

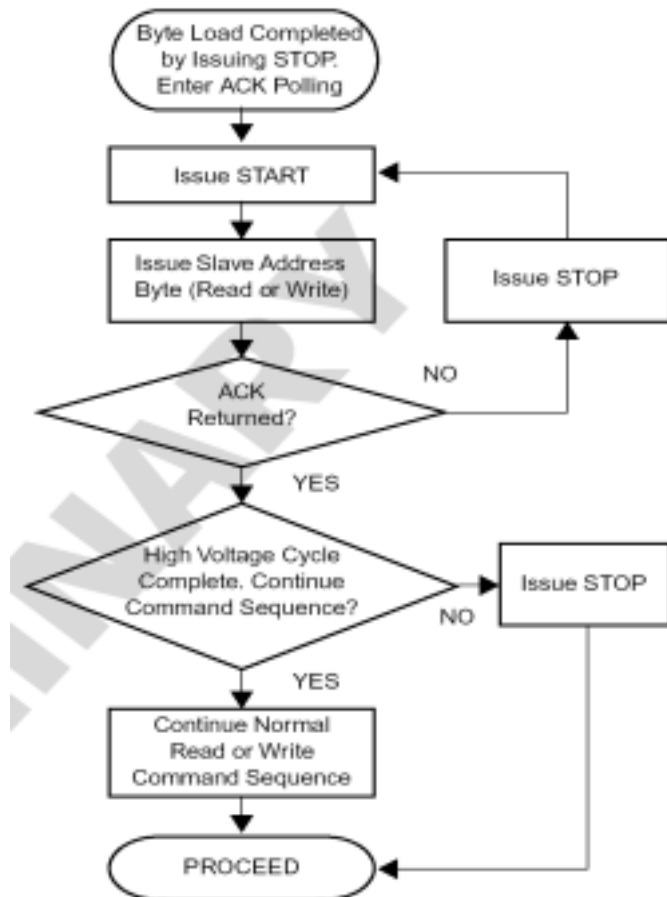


图 13 应答流程图

### 2. 10. 7 串行读操作

读操作以写操作同样的方式开始，但从地址字节中的 R/W 位被置为 1。有三种基本的读操作，当前地址读、随机读和连续读。

#### (1) 当前地址读

器件内部包含一个地址计数器，它保持最后读的一个字的地址加一。所以，如果最后一次读是地址 n，则下一次读将从地址 n+1 访问数据。在上电时，地址计数器的地址不再保留，需由一次读或写操作来初始化。

当接收到带有 R/W 位被置为 1 的从地址字节，器件发出一个应答，然后发送数据字节的 8 位。主机在第九个时钟不响应一个应答，而后发出一个停止条件以终止读操作。关于地址、应答和数据传送过程参见图 14。

必须注意：读操作的第九个时钟周期并不是“不必关心”的。为了终止一次读操作，在第九时钟周期主机或是发出一个停止条件或者保持 SDA 为高，然后再出一个停止条件。

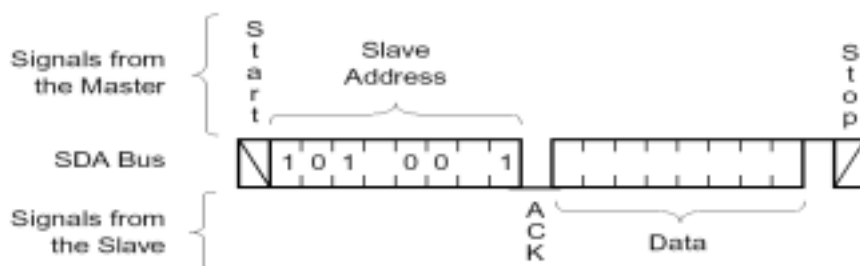


图 14 当前地址读时序

#### (2) 随机读

随机读允许主机访问阵列中的任何存储器地址。主机必须先形成一次“伪”写操作，然后再发带 R/W 位置 1 的从地址字节。主机发出开始条件和从地址字节，接收一个应答，然后发地址字节。在收到地址字节的应答后，主机立即发另一个开始条件和带 R/W 位置 1 的从地址字节。这之后接着是器件应答和 8 位数据。主机通过不响应一个应答而是发

一个停止条件来终止读操作。请参见图 15 中的地址、应答和数据传送序列。

有一种类似的操作，称为“设置当前地址”，器件在这个地址并不操作，而是将一个新地址送入地址计数器，这就是在图 15 中第二个开始“start”处代之以“stop”。在收到停止条件后器件进入等待方式，而总线上的所有活动将被忽略，直到检测到一个开始条件。

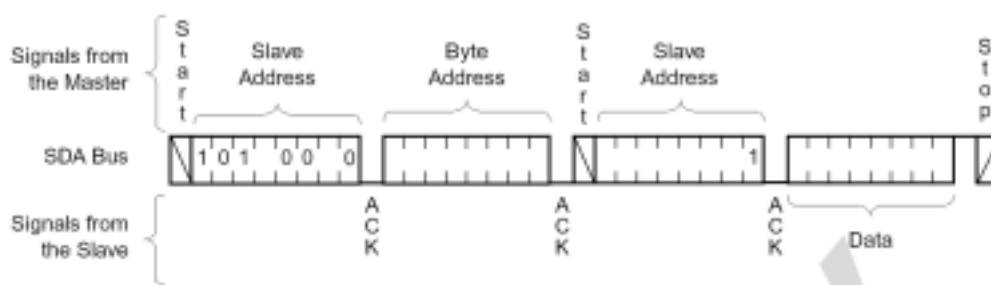


图 15 随机读时序

### (3) 连续读

连续读可以被初始化为当前地址读或是随机地址读。第一个数据字节的发送与其它方式一样，但主机现在用一个应答来响应，这表示它需要其它的数据。器件对每一个收到的应答继续输出数据。主机通过不再用一个应答作响应，而是然后发出一个停止条件来终止读操作。

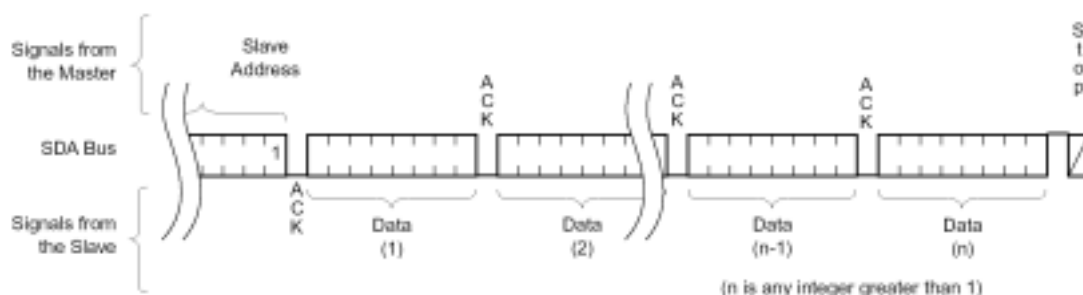


图 16 连续读时序

数据输出是连续的，从地址  $n$  输出数据接着是从地址  $n+1$  输出数据，读操作时数据计数器自动加 1，可对所有的页和地址操作，可以在一次操作中串行读出整个存储器的内容。在地址空间的末端，计数器翻转到地址 0000H 而器件对每一个接收到的应答继续输出数据。参见图 16 关于应答和数据传送序列。

## 2. 10. 8 串行器件寻址

### (1) 存储器地址图

CR，控制寄存器，CR7: CR0，地址 1FFH；

FDR，失效检测寄存器，FER7: FDR0，地址 0FFH；

通用存储器阵列，A8: A0，地址：000H~1FFH。

其中高 256 字节（100H~1FFH）可选择是否进行块保护。

### (2) 从地址字节

在一个开始条件后，主机必须发出一个从地址字节，这个字节包括以下几部分：

—器件类别识别符，“1010”是访问存储阵列而“1011”是访问控制寄存器。

—两位“0”。

—一位变成存储器地址  $X_n$  的最高位 MSB。

—从字节命令中的最后一位是 R/W 位。读从地址字节的 R/W 位定义了要完成的操作。当 R/W 位为 1，则选择读操作，为 0 则选择写操作，见图 17。

### (3) 字地址

字地址可由主机提供或从内部计数器获得。

### (4) 操作注意

器件上电处于以下状态：

- 器件处于低功耗等待状态。
- WEL 位设置为“0”，在此状态下是不能向器件写入的。
- SDA 引脚是输入方式。
- RESET/ $\overline{\text{RESET}}$  信号有效时间为

$t_{\text{PURST}}$ 。

### (5) 数据保护

以下电路用来防止意外写入：

- WEL 位一定要设置好以后才允许写入。
- 在停止 (stop) 前面要有适当的时钟数和位序列。以便开始一次非易失性写操作。
- 在写入控制寄存器以改变看门狗定时器或块锁定设置之前需要有三个顺序步骤。
- 当 WP 脚保持为高电平时，可避免所有向存储阵列或控制寄存器的写操作。

		Slave Byte							
General Purpose Memory		1	0	1	0	0	0	A8	R/W
Control Register		1	0	1	1	0	0	1	R/W
Fault Detection Register		1	0	1	1	0	0	0	R/W

		Word Address							
General Purpose Memory		A7	A6	A5	A4	A3	A2	A1	A0
Control Register		1	1	1	1	1	1	1	1
Fault Detection Register		1	1	1	1	1	1	1	1

图 17 X40420/21 地址

## 三 电特性

### 3.1 极限参数

工作温度	-65°C~+135°C
储存温度	-65°C~+150°C
任何引脚相对于 V <sub>SS</sub> 的电压	-1.0V~+7V
直流输出电流	5mA
引线温度	300°C

注：强度超过所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

### 3.2 推荐工作条件

温度	最小	最大
商业级	0°C	70°C
工业级	-40°C	+85°C

类别	芯片工作电压	监控电压
-A 或 -B	2.7V~5.5V	2.6~5.5V
-C	2.7V~5.5V	1.6~3.6V

\*见订货信息

### 3.3 直流工作特性

(除非另有规定，否则均在推荐的工作条件下。)

Symbol	Parameter	Min.	Typ. <sup>(5)</sup>	Max.	Unit	Test Conditions
$I_{CC1}^{(1)}$	Active Supply Current ( $V_{CC}$ ) Read (Excludes $I_{OUT}$ )			1.5	mA	$V_{IL} = V_{CC} \times 0.1$ $V_{IH} = V_{CC} \times 0.9$ $f_{SCL} = 400\text{kHz}$
$I_{CC2}^{(1)}$	Active Supply Current ( $V_{CC}$ ) Write Non Volatile Memory (Excludes $I_{OUT}$ )			3.0	mA	
$I_{SB1}^{(1)(7)}$	Standby Current ( $V_{CC}$ ) AC (WDT off)		6	10	$\mu\text{A}$	$V_{IL} = V_{CC} \times 0.1$ $V_{IH} = V_{CC} \times 0.9$ $f_{SCL} - f_{SDA} = 400\text{kHz}$
$I_{SB2}^{(2)(7)}$	Standby Current ( $V_{CC}$ ) DC (WDT on)		25	30	$\mu\text{A}$	$V_{SDA} = V_{SCL} = V_{CC}$ Others = GND or $V_{CC}$
$I_{BATT1}^{(2)(7)}$	$V_{BATT}$ Current (Excludes $I_{OUT}$ )		0.4	1	$\mu\text{A}$	$V_{OUT} = V_{CC}$
$I_{BATT2}^{(7)}$	$V_{BATT}$ Current (Excludes $I_{OUT}$ ) (Battery Backup Mode)			6	$\mu\text{A}$	$V_{BATT} = 2.8\text{V}$ $V_{OUT} = \text{Open}$
$V_{OUT1}^{(7)}$	Output Voltage ( $V_{CC} > V_{BATT} + 0.03\text{V}$ or $V_{CC} > V_{TRIP1}$ )	$V_{CC} - 0.05\text{V}$ $V_{CC} - 0.5\text{V}$			V	$I_{OUT} = 5\text{mA}$ (4.5–5.5V) $I_{OUT} = 50\text{mA}$ (4.5–5.5V)
$V_{OUT2}^{(7)}$	Output Voltage ( $V_{CC} < V_{BATT} - 0.03\text{V}$ and $V_{CC} < V_{TRIP1}$ ) (Battery Backup)	$V_{BATT} - 0.2$			V	$I_{OUT} = 250\mu\text{A}$
$V_{OLB}$	Output (BATT-ON) LOW Voltage			0.4	V	$I_{OL} = 3.0\text{mA}$ (4.5–5.5V)
$V_{OHB}$	Output (BATT-ON) HIGH Voltage	$V_{OUT} - 0.8$			V	$I_{OH} = -0.4\text{mA}$ (4.5–5.5V)
$V_{BSH}^{(7)}$	Battery Switch Hysteresis ( $V_{CC} < V_{TRIP1}$ )		30 -30		mV	Power Up Power Down
$I_{LI}$	Input Leakage Current (SCL, MR, WP)			10	$\mu\text{A}$	$V_{IL} = \text{GND to } V_{CC}$
$I_{LO}$	Output Leakage Current (SDA, $V2\text{FAIL}$ , WDO, RESET)			10	$\mu\text{A}$	$V_{SDA} = \text{GND to } V_{CC}$ Device is in Standby <sup>(2)</sup>
$V_{IL}^{(2)}$	Input LOW Voltage (SDA, SCL, MR, WP)	-0.5		$V_{CC} \times 0.3$	V	
$V_{IH}^{(2)}$	Input HIGH Voltage (SDA, SCL, MR, WP)	$V_{CC} \times 0.7$		$V_{CC} + 0.5$	V	
$V_{HYS}^{(7)}$	Schmitt Trigger Input Hysteresis • Fixed input level • $V_{CC}$ related level	0.2 .05 x $V_{CC}$			V V	
$V_{OL}$	Output LOW Voltage (SDA, RESET/RESET, LOWLINE, $V2\text{FAIL}$ , WDO)			0.4	V	$I_{OL} = 3.0\text{mA}$ (2.7–5.5V) $I_{OL} = 1.8\text{mA}$ (2.4–3.6V)
<b>V<sub>CC</sub> Supply</b>						
$V_{TRIP1}^{(6)}$	$V_{CC}$ Reset Trip Point Voltage Range	2.0		4.75	V	
		4.55	4.6	4.65		A, B Version
		2.85	2.9	2.95		C Version
$I_{RPDL}^{(7)}$	$V_{TRIP1}$ to LOWLINE			5	$\mu\text{S}$	
<b>Second Supply Monitor</b>						
$V_{TRIP2}^{(6)}$	$V2\text{MON}$ Reset Trip Point Voltage Range	0.9		3.5	V	
		2.85	2.9	2.95		A Version
		2.55	2.6	2.65		B Version
		1.55	1.6	1.65		C Version
$I_{RPD2}^{(7)}$	$V_{TRIP2}$ to $V2\text{FAIL}$			5	$\mu\text{S}$	

注意:

(1) 在开始 (start) 条件后器件进入激活状态并保持激活直到: 如果在从地址字节中的器件选择位不正确则 9 个时钟周期后; 一次读操作结束以后的停止条件后 200ns; 或一次写操作结束的停止条件后  $t_{WC}$

(2) 以下会使器件进入等待: 在任何停止条件后 200ns, 除非它是初始化一次非易失性操作的; 初始化一次写操作的停止条件后  $t_{WC}$ ; 或者任何开始条件跟随的从地址字节中是不正确的器件选择位第 9 个时钟周期后。

(3) 负数表示充电电流, 正数表示放电电流。

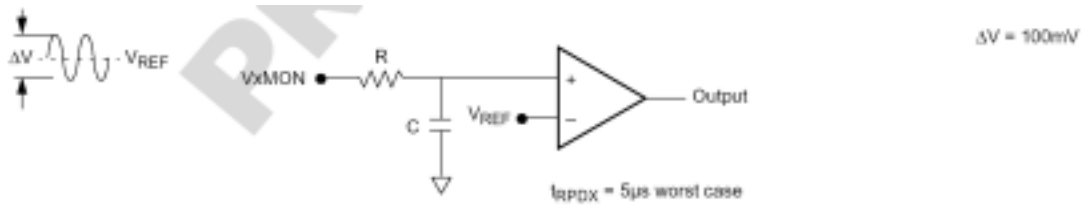
(4)  $V_{IL}$  最小值和  $V_{IH}$  最大值仅供参考, 并未测试

(5) 在 25°C,  $V_{CC}=3\text{V}$

(6) 标准的编程电压参考订货信息。

(7) 仅建立在特征数据基础上

$V_{XMON}(X=1,2)$ 等效输入电路

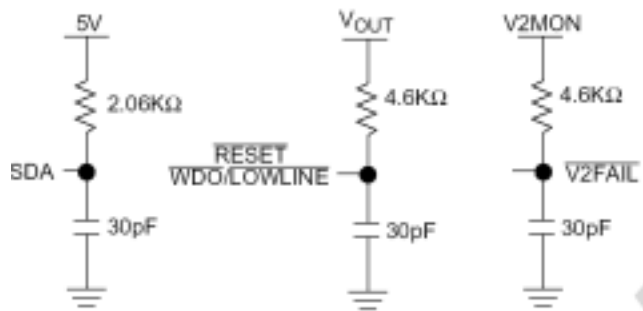


3. 4 电容

符号	参 数	最大值	单位	测试条件
$C_{OUT}^{(1)}$	输出电容 ( SDA , RESET , RESET / LOWLINE , V2FAIL , WDO ))	8	pF	$V_{OUT}=0V$
$C_{IN}^{(1)}$	输入电容 (SCL, WP)	8	pF	$V_{IN}=0V$

注意: (1) 这个参数没有 100%测试

3. 5 等效交流负载电路 ( $V_{CC}=5V$ )



交流测试条件

输入脉冲电压	$V_{CC} \times 0.1$ 到 $V_{CC} \times 0.9$
输入上升和下降时间	10ns
输入和输出超时电压	$V_{CC} \times 0.5$
输出负载	标准输出负载

3. 6 符号表

波 形	输 入	输 出
	必须是稳定的	将是稳定的
	可能由低变高	将要由低变高
	可能由高变低	将要由高变低
	不必关心, 允许变化	变化, 状态未知
	N/A	中心线为高阻抗

3. 7 交流特性

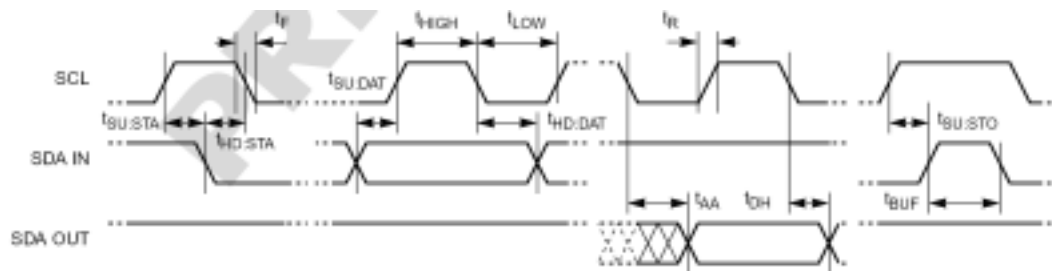


Symbol	Parameter	400kHz		Unit
		Min.	Max.	
$f_{SCL}$	SCL Clock Frequency		400	kHz
$t_{IN}$	Pulse width Suppression Time at inputs	50		ns
$t_{AA}$	SCL LOW to SDA Data Out Valid	0.1	0.9	$\mu$ s
$t_{BUF}$	Time the bus free before start of new transmission	1.3		$\mu$ s
$t_{LOW}$	Clock LOW Time	1.3		$\mu$ s
$t_{HIGH}$	Clock HIGH Time	0.6		$\mu$ s
$t_{SU:STA}$	Start Condition Setup Time	0.6		$\mu$ s
$t_{HD:STA}$	Start Condition Hold Time	0.6		$\mu$ s
$t_{SU:DAT}$	Data In Setup Time	100		ns
$t_{HD:DAT}$	Data In Hold Time	0		$\mu$ s
$t_{SU:STO}$	Stop Condition Setup Time	0.6		$\mu$ s
$t_{DH}$	Data Output Hold Time	50		ns
$t_R$	SDA and SCL Rise Time	$20 + 1Cb^{(1)}$	300	ns
$t_F$	SDA and SCL Fall Time	$20 + 1Cb^{(1)}$	300	ns
$t_{SU:WP}$	WP Setup Time	0.6		$\mu$ s
$t_{HD:WP}$	WP Hold Time	0		$\mu$ s
$C_b$	Capacitive load for each bus line		400	pF

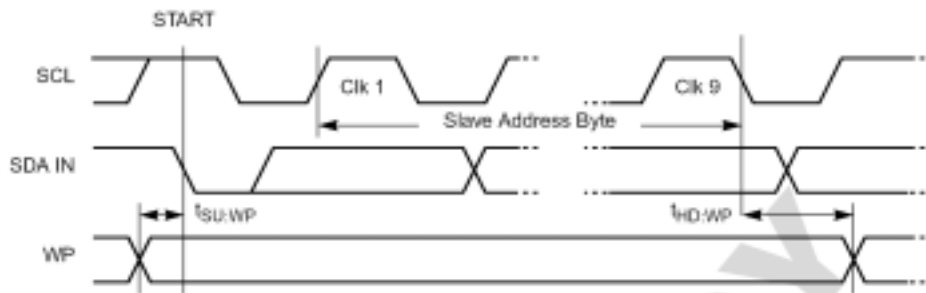
注意：(1)  $C_b$ =总线上总电容，用 pF 表示。

### 3. 8 时序图

#### 3. 8. 1 总线时序



#### 3. 8. 2 WP 引脚时序

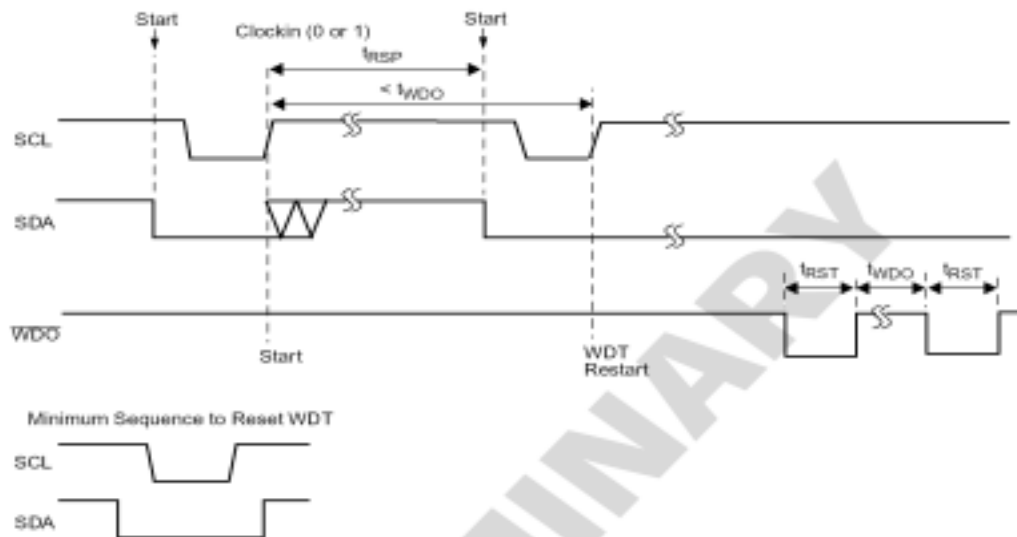




Symbol	Parameters	Min.	Typ.	Max.	Unit
$t_{RPD1}^{(1)}$	$V_{TRIP1}$ to RESET/RESET (Power down only)			5	$\mu s$
$t_{RPDL}$	$V_{TRIP1}$ to LOWLINE				
$t_{LR}^{(1)}$	LOWLINE to RESET/RESET delay (Power down only) [= $t_{RPD1}-t_{RPDL}$ ]		500		ns
$t_{RPD2}^{(1)}$	$V_{TRIP2}$ to V2FAIL			5	$\mu s$
$t_{PURST}$	Power On Reset delay: PUP1=0, PUP0=0 PUP1=0, PUP0=1 (factory default) PUP1=1, PUP0=0 PUP1=1, PUP0=1		50 <sup>(1)</sup> 200 400 <sup>(1)</sup> 800 <sup>(1)</sup>		ms ms ms ms
$t_F$	$V_{CC}$ , V2MON Fall Time	20			mV/ $\mu s$
$t_R$	$V_{CC}$ , V2MON Rise Time	20			mV/ $\mu s$
$V_{RVALID}$	Reset Valid $V_{CC}$	1			V
$t_{MD}$	MR to RESET/ RESET delay (activation only)	500			ns
$t_{n1}$	Pulse width Suppression Time for MR	50			ns
$t_{WDO}$	Watchdog Timer Period: WD1=0, WD0=0 WD1=0, WD0=1 WD1=1, WD0=0 WD1=1, WD0=1 (factory default)		1.4 <sup>(1)</sup> 200 <sup>(1)</sup> 25 OFF		s ms ms
$t_{RST1}$	Watchdog Reset Time Out Delay WD1=0, WD0=0 WD1=0, WD0=1	100	200	300	ms
$t_{RST2}$	Watchdog Reset Time Out Delay WD1=1, WD0=0	12.5	25	37.5	ms
$t_{RSP}$	Watchdog timer restart pulse width	1			$\mu s$

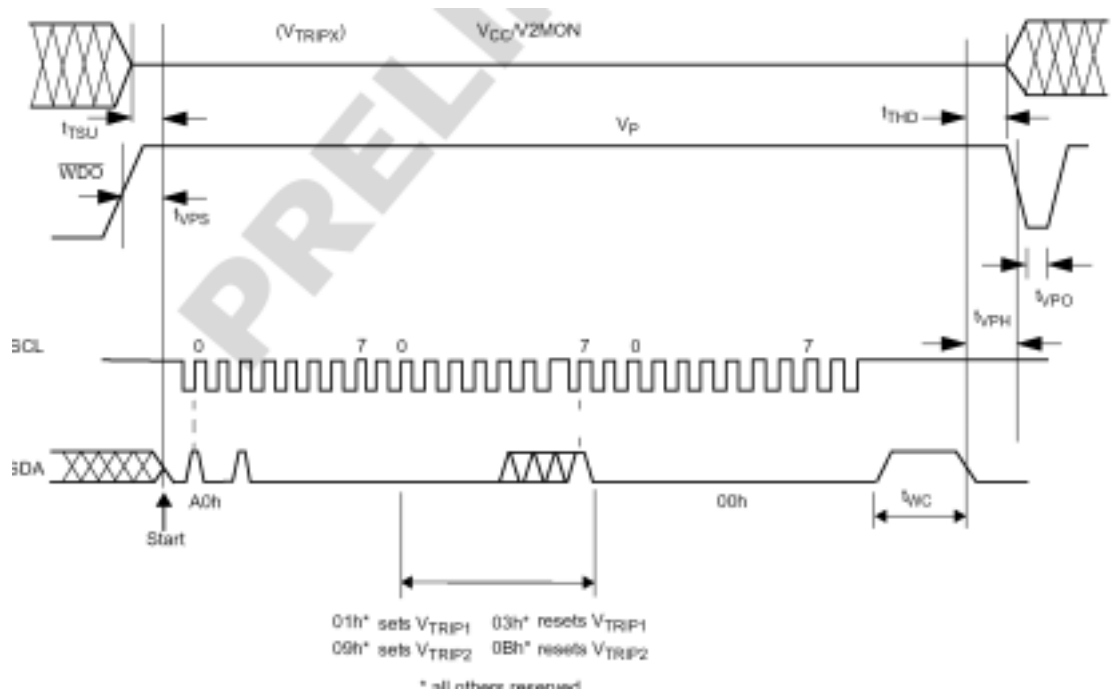
注意：（1）建立在特征数据基础上。

### 3. 8. 7 看门狗超时时序（两线



式接口)

### 3. 8. 8 $V_{TRIPX}$ 设置/复位条件



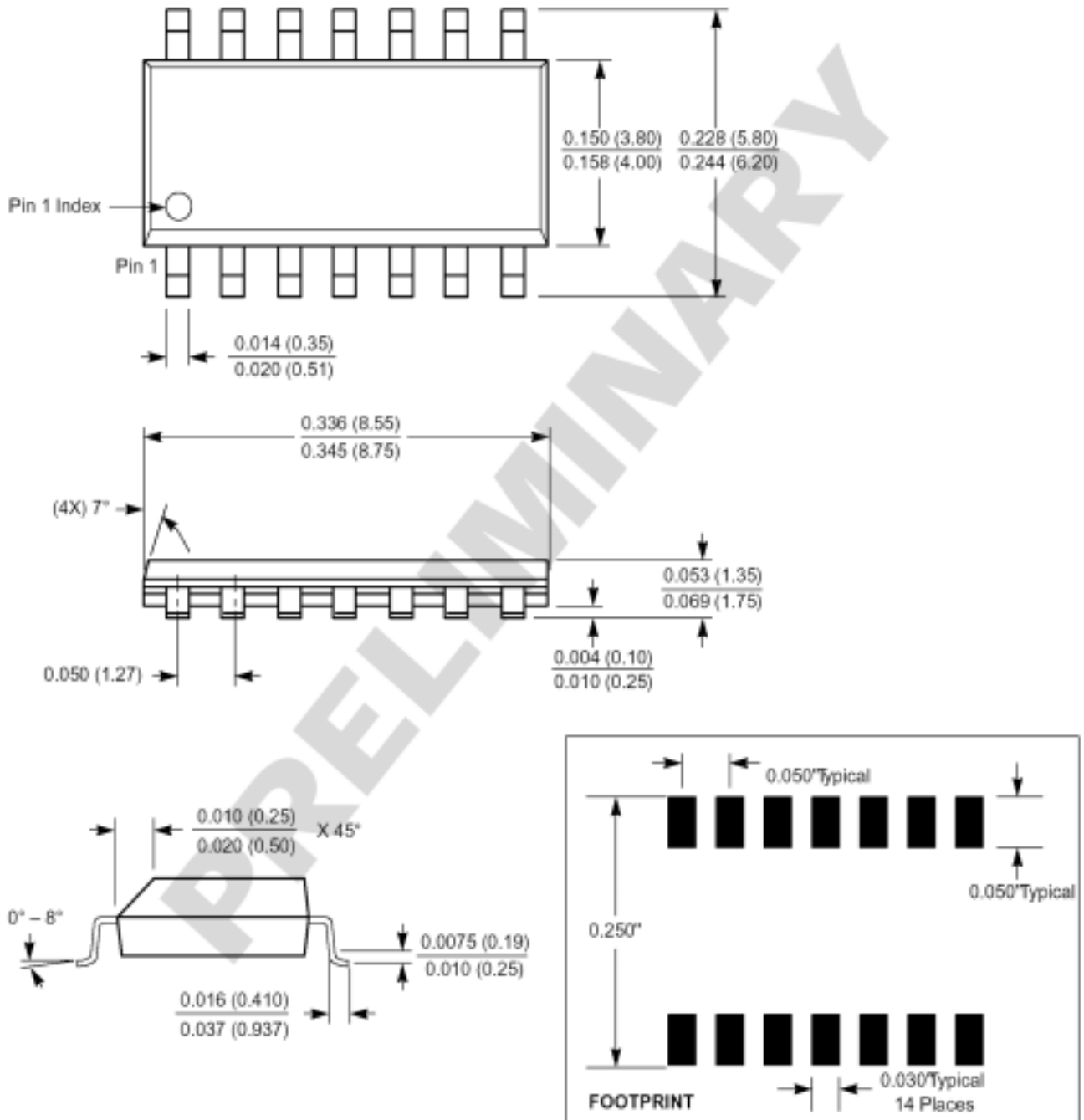
$V_{TRIP1}$ 、 $V_{TRIP2}$  编程规范:  $V_{CC}=2.0\sim 5.5V$ ;温度=25°C。

Parameter	Description	Min.	Max.	Unit
$t_{VPS}$	WDO Program Voltage Setup time	10		$\mu s$
$t_{VPH}$	WDO Program Voltage Hold time	10		$\mu s$
$t_{TSU}$	$V_{TRIPX}$ Level Setup time	10		$\mu s$
$t_{THD}$	$V_{TRIPX}$ Level Hold (stable) time	10		$\mu s$
$t_{WC}$	$V_{TRIPX}$ Program Cycle	10		ms
$t_{VPO}$	Program Voltage Off time before next cycle	1		ms
$V_p$	Programming Voltage	15	18	V
$V_{TRAN1}$	$V_{TRIP1}$ Set Voltage Range	2.0	4.75	V
$V_{TRAN2}$	$V_{TRIP2}$ Set Voltage Range	0.9	3.5	V
$V_{TV}$	$V_{TRIPX}$ Set Voltage variation after programming (0-75°C)	-25	+25	mV
$t_{VPS}$	WDO Program Voltage Setup time	10		$\mu s$

$V_{TRIPX}$  的编程参数定期地抽样检测，没有 100% 测试。

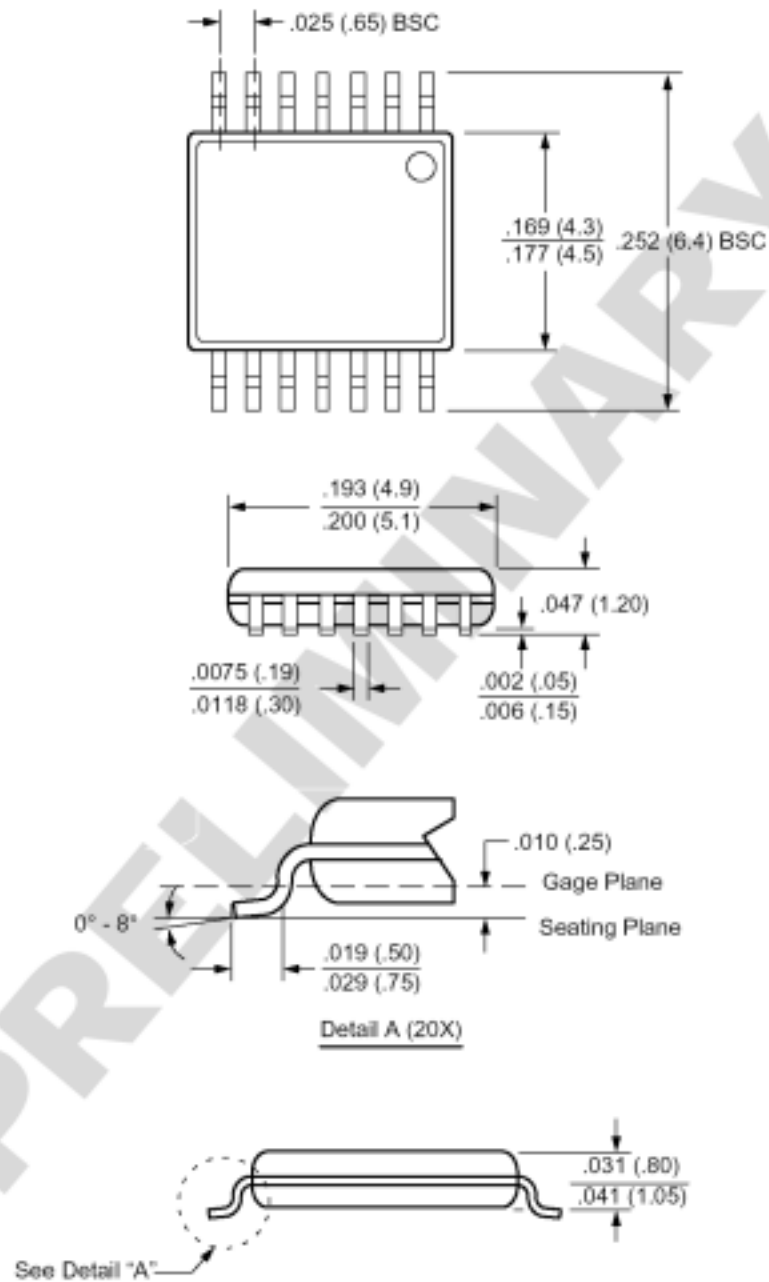
## 四 封装信息

### 14-Lead Plastic Small Outline Gullwing Package Type S



NOTE: ALL DIMENSIONS IN INCHES (IN PARENTHESES IN MILLIMETERS)

### 14-Lead Plastic, TSSOP, Package Type V

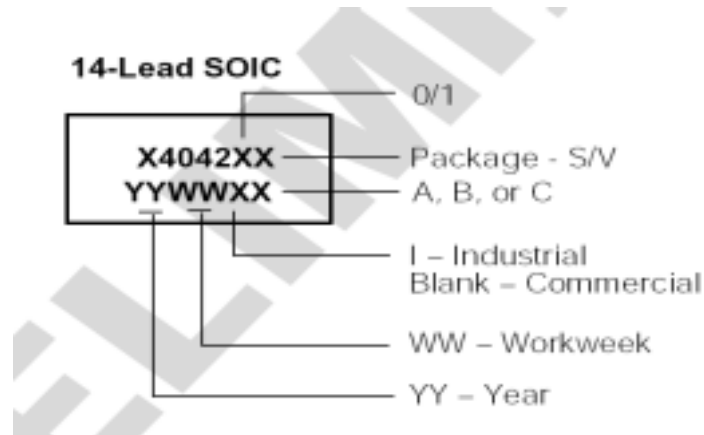


NOTE: ALL DIMENSIONS IN INCHES (IN PARENTHESES IN MILLIMETERS)

## 五 订货信息

Monitored V <sub>CC</sub> Supplies	V <sub>TRIP1</sub> Range	V <sub>TRIP2</sub> Range	Package	Operating Temperature Range	Part Number with RESET	Part Number with RESET
2.9-5.5	4.6V±50mV	2.9V±50mV	14L SOIC	0°C - 70°C	X40420S14-A	X40421S14-A
				-40°C - 85°C	X40420S14I-A	X40421S14I-A
			14L TSSOP	0°C - 70°C	X40420V14-A	X40421V14-A
				-40°C - 85°C	X40420V14I-A	X40421V14I-A
2.6-5.5	4.6V±50mV	2.6V±50mV	14L SOIC	0°C - 70°C	X40420S14-B	X40421S14-B
				-40°C - 85°C	X40420S14I-B	X40421S14I-B
			14L TSSOP	0°C - 70°C	X40420V14-B	X40421V14-B
				-40°C - 85°C	X40420V14I-B	X40421V14I-B
1.6-3.6	2.9V±50mV	1.8V±50mV	14L SOIC	0°C - 70°C	X40420S14-C	X40421S14-C
				-40°C - 85°C	X40420S14I-C	X40421S14I-C
			14L TSSOP	0°C - 70°C	X40420V14-C	X40421V14-C
				-40°C - 85°C	X40420V14I-C	X40421V14I-C

## 六 器件标号信息



**声明:** 本资料仅供参考。如有不同之处, 请以相应的英文资料为准。